

Searching PAJ

1/2 ページ

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011649

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G11C 11/407

G05F 3/24

G05F 3/26

G11C 5/14

G11C 11/413

G11C 11/409

(21)Application number : 10-181125

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.06.1998

(72)Inventor : MITSUI KATSUKICHI

FURUYA KIYOHRO

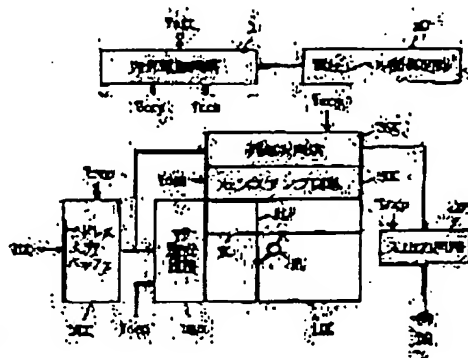
KONO TAKASHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To stably generate an internal power supply voltage at a desired level with a low occupation area and a low current consumption.

SOLUTION: An internal power supply circuit 1 generates internal power supply voltages  $V_{ccp}$  and  $V_{ccs}$  from an external power supply voltage  $V_{ext}$ . A voltage level control circuit 10 adjusts the voltage level and temperature characteristics of the internal power supply voltages that are generated by the internal power supply circuit 1. The internal power supply circuit 1 generates an internal power supply voltage with negative or zero temperature characteristics at a low-temperature region and positive temperature characteristics at a high-temperature region. Also, the voltage level control circuit 10 includes a configuration for driving a level conversion circuit for deciding the operation lower-limit region of the external power supply voltage of a configuration internal power supply circuit for optimizing the capacitance of a sense power supply line stabilization capacitor for driving a sense amplification circuit 300 or for forcibly driving an internal voltage-drop circuit when power is turned on.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Searching PAJ

2/2 ページ

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated:

---

[Claim(s)]

[Claim 1] A semiconductor device equipped with a means for adjusting capacity value of an internal circuitry using internal electrical power source voltage from an internal electrical power source circuit for generating internal electrical power source voltage from external power voltage, and said internal electrical power source circuit, a capacitive element combined with an internal electrical power source line which transmits said internal electrical power source voltage, and said capacitive element.

[Claim 2] A semiconductor device according to claim 1 characterized by providing the following Said internal electrical power source circuit is a means to generate the 1st reference voltage. A means to generate the 2nd reference voltage of a different voltage level from said 1st reference voltage A selection means to answer a change signal and to choose one side of said 1st and 2nd reference voltages A pressure-lowering circuit which supplies current to said internal electrical power source line from a node which supplies said external power voltage according to reference voltage from said selection means, and voltage on said internal electrical power source line

[Claim 3] A semiconductor device according to claim 2 which answers a specific mode-of-operation indication signal which specifies a specific mode of operation, and is further equipped with a mode setting means for enabling the exterior to a setup of the 1st reference voltage which said 1st reference voltage generating means generates.

[Claim 4] Said internal circuitry is two or more memory cells arranged in the shape of a matrix, and a semiconductor device according to claim 1 which is arranged corresponding to each aforementioned train and contains two or more sense amplifiers with which each performs detection and amplification of data of a memory cell of a train of correspondence using said internal electrical power source voltage at the time of activation.

[Claim 5] Said output circuit is a semiconductor device including a level-conversion circuit for, operating said internal electrical power source voltage as supply voltage of operation on the other hand, and changing a voltage level of data of said selection memory cell according to claim 1 including an output circuit for said internal circuitry to output data of two or more memory cells and a selection memory cell of two or more of said memory cells to the exterior.

[Claim 6] A semiconductor device which compares a means to generate reference voltage, and said reference voltage and supply voltage so that it may have the temperature characteristic of negative or zero in the 1st temperature field and the 2nd hot temperature field may have the positive temperature characteristic rather than said 1st temperature field, and is equipped with a means to adjust level of said supply voltage according to this comparison result.

[Claim 7] A semiconductor device according to claim 6 characterized by providing the following Said reference voltage generating means is 1st voltage generating means to generate the 1st voltage proportional to resistance ratio of the 1st and 2nd resistance elements formed with the same material. 2nd voltage generating means to generate the 2nd voltage proportional to resistance ratio of the 3rd and 4th resistance elements formed with a mutually different material An OR means to generate voltage according to level of voltage of the higher one of such 1st and 2nd voltage as said reference voltage in response to the 1st and 2nd voltage from said 1st and 2nd voltage generating means

[Claim 8] The 3rd resistance element connected between the 1st reference voltage generating circuit characterized by providing the following, and said power node and 4th node, The 3rd insulated gate field effect transistor by which connects between said power node and 5th node, and the gate is connected to said 5th node, The 4th insulated gate field effect transistor by which connects between said 4th node and 6th node, and the gate is connected to said 5th node, The 2nd current Miller circuit which is combined with said 5th and 6th nodes, and passes current of the same magnitude as said 5th and 6th nodes, The 2nd current source transistor which supplies current of magnitude corresponding to current which constitutes said the 3rd insulated gate field effect transistor and current Miller circuit, and flows said 3rd insulated gate field effect transistor, A semiconductor device including the 2nd reference voltage generating circuit containing the 4th resistance element which transforms current from said 2nd current source transistor into voltage, and generates said 2nd reference voltage according to claim 6 Said reference voltage generating means is the 1st resistance element connected between a power node and the 1st node. The 1st insulated gate field effect transistor by which connects between said power node and 2nd node, and the gate is connected to said 2nd node The 2nd insulating mold field-effect transistor by which connects between said 1st node and 3rd node, and the gate is connected to said 2nd node The 2nd resistance element which is combined with said 2nd and 3rd nodes, constitutes said the 1st current Miller circuit and insulated gate field effect transistor and current Miller circuit for passing current of the same magnitude as said 2nd and 3rd nodes, transforms into voltage current from the 1st current source transistor which supplies current, and said 1st current source transistor from said power node, and generates said 1st reference voltage [ 1st ] [Claim 9] Said 4th resistance element is a semiconductor device [ equipped with an insulated gate field effect transistor in which the gate and a drain interconnected ] according to claim 8.

[Claim 10] It is the semiconductor device according to claim 8 with which said 3rd resistance element consists of refractory metal silicide, and said 4th resistance element consists of impurity diffusion resistance.

[Claim 11] Said OR means is a semiconductor device according to claim 7 with which it has an output transistor to which the source is connected to a source joint transistor to which said 1st and 2nd voltage is received in the gate, and the source interconnects, and said source joint transistor, and the gate and drain are connected, and said reference voltage is outputted from a drain of said output transistor.

[Claim 12] A current drive transistor combined between internal electrical power source lines which transmit an external power node which receives supply voltage from the outside, and internal electrical power source voltage, A level-conversion circuit which receives reference voltage and internal electrical power source voltage on said internal electrical power source line, and changes and outputs both level of said reference voltage and said internal electrical power source voltage, And a semiconductor device which compares reference voltage and internal electrical power source voltage by which the level conversion was carried out from said level-conversion circuit by which the level conversion was carried out, and is equipped with a comparator circuit which adjusts conductance of said current drive transistor according to this comparison result.

[Claim 13] It is combined between a current mirror stage which is combined with said external power node and supplies current, and said current mirror stage and touch-down node, an insulated gate field effect transistor pair which receives said internal electrical power source voltage by which the level conversion was carried out and reference voltage by which the level conversion was carried out in each gate is included, and, on the other hand, for a flow node, said comparator circuit is said each semiconductor device of an insulated gate field effect transistor pair according to claim 12 combined so that touch-down voltage may be received in common.

[Claim 14] The 1st insulated gate field effect transistor which said level-conversion circuit is combined between the 1st node and the 2nd node, and receives said internal electrical power source voltage in the gate, The 2nd insulated gate field effect transistor which is combined

between said 1st node and 3rd node, and receives said reference voltage in the gate, The 3rd insulated gate field effect transistor by which it is combined between said 2nd node and touch-down nodes, and the gate is combined with said 3rd node, The 4th insulated gate field effect transistor by which it is combined between said 3rd node and said touch-down nodes, and the gate is combined with said 3rd node is included. It is the semiconductor device according to claim 12 said whose the 1st to 4th insulated gate field effect transistor said reference voltage by which the level conversion was carried out is outputted from said 3rd node, said internal electrical power source voltage by which the level conversion was carried out is outputted from said 2nd node, and is the same conductivity type further.

[Claim 15] It is the semiconductor device with which each transistor connection node turns into a node which outputs voltage which pressured partially voltage between said 1st and 2nd nodes by having an insulated gate field effect transistor of two or more same conductivity types connected to a serial between the 1st node and the 2nd node, and connecting each gate of two or more of said insulated gate field effect transistors to a transistor connection node which placed one transistor in between.

[Claim 16] A backgate of two or more of said insulated gate field effect transistors is a semiconductor device according to claim 15, connected so that it may connect with one 1st flow node of two insulated gate field effect transistors which a backgate of two adjoining insulated gate field effect transistors this adjoins in common.

[Claim 17] A constant current source which supplies fixed current, and two or more resistance elements connected to a serial are included. A reference voltage generating circuit which generates the 1st and 2nd reference voltages in response to current from said constant current source, A pressure-lowering circuit which generates the 1st and 2nd internal electrical power source voltage from external power voltage according to said each of 1st and 2nd reference voltages, It is prepared corresponding to two or more memory cells and each train which are arranged in the shape of a matrix, and two or more sense amplifiers which detect and amplify data of a memory cell on a train of correspondence using said 1st internal electrical power source voltage, and said 2nd internal electrical power source voltage are used. A semiconductor device equipped with a circumference circuit which performs memory cell selection actuation of said memory cell array.

[Claim 18] Said reference voltage generating circuit is equipped with an insulated gate field effect transistor of two or more same conductivity types connected to a serial between the 1st node and the 2nd node which receive current from said constant current source. Each gate of two or more of said insulated gate field effect transistors It connects with a transistor connection node which placed one transistor in between. A semiconductor device according to claim 17 with which said 2nd reference voltage is outputted from said 1st node, and said 1st reference voltage is outputted from the 3rd connection node which adjoins the 2nd connection node which adjoins said 1st node, or said 2nd connection node.

[Claim 19] A semiconductor device characterized by providing the following A delay chain which receives a mode-of-operation indication signal including two or more delay stages by which series connection is carried out, A decoding circuit which decodes a signal of two or more predetermined nodes of said delay chain, and generates an activation signal, And it is a comparator circuit to answer activation of an activation signal from said decoding circuit, to be activated, have a pressure-lowering circuit which adjusts a voltage level of said internal electrical power source voltage according to a difference of internal electrical power source voltage and reference voltage, and for said pressure-lowering circuit compare said internal electrical power source voltage and said reference voltage. A current drive transistor which supplies current to an internal electrical power source line which transmits said internal electrical power source voltage from an external power node according to an output signal of said comparator circuit

[Claim 20] Said decoding circuit is a semiconductor device including a means to generate the 1st activation signal which activates said pressure-lowering circuit, and the 2nd activation signal which carries out the increment in a predetermined period of the operating current of a comparator circuit of a this activated pressure-lowering circuit according to claim 19.

[Claim 21] Said decoding circuit is a semiconductor device including a means to answer each activation and deactivation of said mode-of-operation indication signal, and to activate said 2nd activation signal according to claim 20.

[Claim 22] Said 1st and 2nd activation signals are [ both ] semiconductor devices according to claim 20 given in said 1st internal pressure-lowering circuit including the 1st and 2nd internal pressure-lowering circuits which generate internal electrical power source voltage of a voltage level from which said pressure-lowering circuit differs mutually, respectively.

[Claim 23] Said 1st and 2nd activation signals are semiconductor devices according to claim 20 given in said 1st and 2nd internal pressure-lowering circuits including the 1st and 2nd internal pressure-lowering circuits which generate internal electrical power source voltage of a voltage level from which said pressure-lowering circuit differs mutually, respectively.

[Claim 24] A semiconductor device which compares voltage respectively corresponding to reference voltage and voltage on said internal electrical power source line, and is equipped with a comparator circuit which controls conductance of said current drive transistor according to this comparison result, and an activation means to activate said comparator circuit according to level of said internal electrical power source voltage, at the time of a current drive transistor combined between an external power node and an internal electrical power source line, and activation.

[Claim 25] Said activation means is a semiconductor device including a means to activate said comparator circuit according to a difference of said internal electrical power source voltage and said reference voltage according to claim 24.

[Claim 26] Said activation means is a semiconductor device including a means to activate said comparator circuit according to a difference of said reference voltage, another different reference voltage, and said internal electrical power source voltage according to claim 24.

[Claim 27] Said activation means is a semiconductor device including a means to activate said comparator circuit according to a difference of said internal electrical power source voltage and said external power voltage according to claim 24.

[Claim 28] Said activation means is a semiconductor device given in either including a means to deactivate said comparator circuit if a difference of said internal electrical power source voltage and said external power voltage becomes below a predetermined value of claims 24-26.

[Detailed	Description	of	the	Invention]
[0001]				

[The technical field to which invention belongs] Especially this invention relates to the configuration of the internal voltage generating circuit which generates the voltage of desired level inside about a semiconductor device.

[0002]

[Description of the Prior Art] Drawing 47 is drawing showing the configuration of the conventional whole semiconductor memory roughly. In drawing 47, a semiconductor memory contains the memory cell array 100 which has two or more memory cells MC arranged in the shape of a matrix. In the memory cell array 100, a word line WL is arranged corresponding to each line of a memory cell MC, and the bit line pair BLP is arranged corresponding to each train of a memory cell MC. A memory cell MC is arranged corresponding to the intersection of the bit line pair BLP and a word line WL.

[0003] The address input buffer 200 to which this semiconductor memory generates the interior address signal of incorporation for address signal ADD from the outside further, The line selection circuitry 250 which drives the word line WL corresponding to the line by which the memory cell array 100 was addressed according to the internal line address signal from the address input buffer 200 to a selection condition, The sense amplifier circuit 300 which performs detection of the data of a memory cell connected to the selection line, amplification, and a latch, The train selection circuitry 350 which chooses the train in which the memory cell array 100 was addressed according to the internal train address signal from the address input buffer 200, and the memory cell of the train chosen by the train selection circuitry 350 and the I/O circuit 400 which performs transfer of data are included.

[0004] The line selection circuitry 250 includes the word line drive circuit which drives the word line addressed according to the output signal of the low decoder which decodes the internal line address signal from the address input buffer 200, and this low decoder to a selection condition. The train selection circuitry 350 includes IO gate circuit which connects to an internal data bus (not shown clearly) the train in which the memory cell array was addressed according to the train selection signal from the column decoder which decodes the internal train address signal from the address input buffer 200, and this column decoder. The sense amplifier circuit 300 is formed corresponding to each bit line pair BLP, and contains the sense amplifier which carries out the differential amplifier of the potential of a bit line pair of correspondence at the time of activation.

[0005] This semiconductor memory includes the internal electrical power source circuit 500 which lowers further the pressure of the supply voltage Vext given from the outside, and generates the internal electrical power source voltage Vccp and Vccs. The internal electrical power source voltage Vccp from this internal electrical power source circuit 500 is given in the circumference circuit 200, i.e., an address input buffer, the line selection circuitry 250, the train selection circuitry 350, and the I/O circuit 400. The internal electrical power source voltage Vccs is given in the sense amplifier circuit 300.

[0006] The internal electrical power source voltage Vccp is more than the voltage level of the internal electrical power source voltage Vccs. To a circumference circuit, a circumference circuit is operated by giving the high internal electrical power source voltage Vccp at high speed. High-speed sense actuation by reduction of the charge and discharge current of a bit line and reduction of bit line signal amplitude is realized by on the other hand giving the internal electrical power source voltage Vccs lower than the internal electrical power source voltage Vccp to the sense amplifier circuit 300. Moreover, in the case of dynamic random access memory (DRAM), the memory cell MC consists of an access transistor and a capacitor, it prevents that big voltage is impressed to this capacitor insulator layer, the reliability of a capacitor insulator layer is guaranteed, and the reliability of the word line with which the high voltage of about 1.5 times [ of voltage Vccs ] magnitude is impressed further is guaranteed.

[0007] In addition, in the address input buffer 200 and the I/O circuit 400, the external power voltage Vext is used in the portion which takes the interface between external devices. However, this does not show drawing 47

[0008] The MOS transistor which is the component is also made detailed as the storage capacity of a semiconductor memory increases. On the other hand, the supply voltage of external devices, such as a processor and logic, of operation is set up comparatively highly, in order that these may maintain the working speed, since detailed-ization has not progressed like the semiconductor memory. Moreover, it is necessary to hold the compatibility of supply voltage with the former generation's semiconductor memory. For this reason, by lowering the pressure of the external power voltage Vext in the internal electrical power source circuit 500, and generating the internal electrical power source voltage Vccp and Vccs, compatibility with the former generation's semiconductor memory is maintained, and compatibility with system power voltage is maintained again.

[0009] Drawing 48 is drawing showing roughly the configuration of the internal power circuit 500 shown in drawing 47. 502s of reference voltage generating circuits where the internal power circuit 500 generates reference voltage Vrefs in drawing 48, The difference of reference voltage generating circuit 502p which generates reference voltage Vrefp, and the internal electrical power source voltage Vccs and reference voltage Vrefs is followed. 504s of pressure-lowering circuits which supply current from the node which receives the external power voltage Vext, and adjust the voltage level of the internal (sense) supply voltage Vccs, Pressure-lowering circuit 504p which supplies current to an internal electrical power source line from the node which receives the external power voltage Vext according to the difference of the internal (circumference) supply voltage Vccp and reference voltage Vrefp, and adjusts the voltage level of the internal electrical power source voltage Vccp is included. The sense power circuit which generates the internal electrical power source voltage for a sense

amplifier is constituted by 502s of reference voltage generating circuits, and 504s of pressure-lowering circuits, and the circumference power circuit which generates the internal electrical power source voltage  $V_{ccp}$  to a circumference circuit by reference voltage generating circuit 502p and pressure-lowering circuit 504p is constituted. Preparing separately a sense power circuit and a circumference power circuit is based on the following reasons.

[0010] Charge and discharge are performed in the bit line pair BLP connected to the selection word line WL at the time of actuation of the sense amplifier circuit 300 shown in drawing 47. The charge and discharge current at the time of this sense amplifier actuation has the comparatively big current value, and in order to compensate this big current consumption, current driving force with 504 bigs of pressure-lowering circuits of a sense power circuit is needed. However, it is not necessary to return the internal electrical power source voltage (for sense supply voltage to be called hereafter)  $V_{ccs}$  to the original condition at high speed, therefore high-speed responsibility is not required so much for 504s of pressure-lowering circuits that what is necessary is just to perform the charge and discharge of the bit line pair BLP. On the other hand, in order to be a high-speed about these circumference circuits in pressure-lowering circuit 504p of a circumference power circuit at the time of circumference circuit actuation and to make it operate to stability, it is necessary to compensate the voltage variation of the internal electrical power source voltage (circumference supply voltage is called hereafter)  $V_{ccp}$  at high speed, and a high-speed response characteristic is required. On the other hand, compared with the time of sense amplifier actuation, small current is only consumed at the time of circumference circuit actuation. Therefore, although the amount of drive current of pressure-lowering circuit 504p of a circumference power circuit is comparatively small, it is required that it should have a high-speed response characteristic. For these different properties demanded, a sense power circuit and a circumference power circuit are prepared separately.

[0011]

[Problem(s) to be Solved by the Invention] In the conventional semiconductor memory, a power circuit is separately prepared to a circumference circuit and each sense amplifier circuit. Since voltage levels differ, the sense supply voltage  $V_{ccs}$  and the circumference supply voltage  $V_{ccp}$  are generated from the reference voltage generating circuits 502s and 502p where the reference voltages  $V_{refs}$  and  $V_{refp}$  which determine the voltage level of such supply voltage  $V_{ccs}$  and  $V_{ccp}$  are separate respectively. For this reason, the area which a reference voltage generating circuit occupies in the internal power circuit 500 becomes large, and there is a problem that circuit occupancy area cannot be reduced. Moreover, since these reference voltage generating circuits 502s and 502p were formed separately, at the time of voltage-level adjustment of reference voltages  $V_{refs}$  and  $V_{refp}$ , these needed to be adjusted separately and there was a problem of taking the time and effort of the voltage-level adjustment (trimming).

[0012] Drawing 49 is drawing showing an example of the configuration of the pressure-lowering circuits 504s and 504p shown in drawing 48. Since circumference pressure-lowering circuit 504p which generates 504s of sense pressure-lowering circuits and the circumference supply voltage  $V_{ccp}$  which generate the sense supply voltage  $V_{ccs}$  is both equipped with the same configuration, it shows the pressure-lowering circuit 504 typically in drawing 49

[0013] Comparator 505a with which the pressure-lowering circuit 504 compares the internal supply voltage  $V_{cc}$  and reference voltage  $V_{ref}$  on 505d of internal electrical power source lines in drawing 49, Current drive circuit 505b which consists of n channel MOS transistors which supply current to 505d of internal electrical power source lines from the external power node which receives the external power voltage  $V_{ext}$  according to the output signal of comparator 505a, Reset transistor 505c which consists of p channel MOS transistors which answer a powering-on detecting signal / POR, and transmit the external power voltage  $V_{ext}$  to 505d of after [ powering on ] internal electrical power source lines is included. After powering on, a powering-on detecting signal / POR is used in order to consider as the active

state of L level and to perform initial setting of an internal-circuitry node until the external power voltage Vext will reach a predetermined voltage level or it will be in a stable state.

[0014] Usually comparator 505a consists of differential amplifier, receives the internal electrical power source voltage Vcc in a plus input, and receives reference voltage Vref in a negative input. When the internal electrical power source voltage Vcc is higher than reference voltage Vref, the output signal of comparator 505a serves as H level, and current drive transistor 505b maintains an OFF state. On the other hand, when the internal electrical power source voltage Vcc is lower than reference voltage Vref, the output signal of comparator 505a serves as a low level according to such voltage Vcc and the difference of Vref, and the conductance of current drive transistor 505b becomes large. Thereby, current is supplied to 505d of internal electrical power source lines from an external power node, and the voltage level of the internal electrical power source voltage Vcc rises. Therefore, in the configuration of the pressure-lowering circuit 504 shown in this drawing 49, the internal supply voltage Vcc is mostly maintained by the voltage level of reference voltage Vref.

[0015] Drawing 50 is drawing showing the relation between the internal supply voltage Vcc, reference voltage Vref, and the external power voltage Vext. In drawing 50, a horizontal axis shows the voltage level of the external power voltage Vext, and each voltage is shown on an axis of ordinate. Reference voltage Vref is generated from the external power voltage Vext. Reference voltage Vref usually consists of a constant current source and a resistance circuit, and when the external power voltage Vext is a low voltage level, the voltage level of reference voltage Vref also rises according to the level of this external power voltage Vext. If the external power voltage Vext becomes more than a predetermined voltage level, reference voltage Vref will maintain the level of the fixed voltage Va irrespective of the voltage level of this external power voltage Vext. The internal electrical power source voltage Vcc is generated based on the comparison with this reference voltage Vref and the voltage on 505d of internal electrical power source lines. Although the internal electrical power source voltage Vcc is almost equal to the voltage level of reference voltage Vref, its voltage level of the internal electrical power source voltage Vcc is somewhat lower than the voltage level of reference voltage Vref by channel resistance of current drive transistor 505b.

[0016] Supply voltage Vext is switched on, if the voltage level of the external power voltage Vext rises, it will respond, and in reference voltage Vref, a voltage level rises. Comparator 505a and current drive transistor 505b adjust the voltage level of the internal electrical power source voltage Vcc according to the comparison result of the voltage and reference voltage Vref on 505d of this internal electrical power source line. Therefore, if the external power voltage Vext is switched on, the voltage level rises and the voltage-level rise of reference voltage Vref goes up, it will respond and the voltage level of the internal electrical power source voltage Vcc will also rise. If reference voltage Vref reaches and is stable to a fixed voltage level, the voltage level of the internal electrical power source voltage Vcc will also be stabilized. In order to stabilize it after the voltage level of reference voltage Vref stabilizes the voltage level of the internal supply voltage Vcc, it becomes impossible therefore, to stabilize the internal supply voltage Vcc at high speed after an external power voltage Vext injection. Then, as shown in drawing 49, the voltage level on a power up and this internal electrical power source line 504 is raised according to the voltage level of the predetermined period external power voltage Vext using reset transistor 505c.

[0017] Drawing 51 is drawing showing change of the internal supply voltage of a power up. In drawing 51, powering on is performed in time of day t0, and the voltage level of the external power voltage Vext rises. In this condition, a powering-on detecting signal / POR maintains L level. Therefore, reset transistor 505c will be in an ON state, and the voltage Vcc on 505d of internal electrical power source lines changes according to the voltage level of the

external	power	voltage	Vext.
----------	-------	---------	-------

[0018] In time of day t1, if the external power voltage Vext reaches the level of the predetermined voltage level Vb, a powering-on detecting signal / POR will be in the non-active state of H level, and reset transistor 505c will be in an OFF state. After this, the internal electrical power source voltage Vcc drives even on reference voltage Vref level by

comparator circuit 505a and current drive transistor 505b.  
 [0019] By using this reset transistor 505c, the voltage level of the internal supply voltage  $V_{cc}$  on 505d of internal electrical power source lines can be started at an after [ powering on ] high speed, and a predetermined voltage level (reference voltage  $V_{ref}$  level) can be stabilized to early timing.

[0020] However, 505d of internal electrical power source lines is combined with the node which receives external power voltage until a powering-on detecting signal / POR serves as H level of a non-active state after powering on in this case. For this reason, on 505d of internal electrical power source lines, high voltage is superfluously impressed by for example, the power supply noise etc., the circuit using the internal supply voltage  $V_{cc}$  on 505d of this internal electrical power source line is destroyed (zero time destruction), or that reliability falls (since big voltage stress is impressed for every powering on). When this pressure-lowering circuit 504 is especially activated at the time of internal-circuitry actuation, it is necessary to drive the voltage  $V_{cc}$  on 505d of internal electrical power source lines to a predetermined voltage level according to the standby pressure-lowering circuit which was prepared independently and which always [ of current driving force / small ] operates. In order to stabilize the internal electrical power source voltage  $V_{cc}$  at high speed, the problem that a powering-on detecting signal / timing adjustment of POR becomes troublesome, and it becomes difficult to secure the reliability of an internal circuitry arises. Moreover, as the dashed line wave of drawing 51 shows, when this powering-on detecting signal / POR is held at L level of a long period active state, it will drive to a voltage level with the internal supply voltage  $V_{cc}$  higher than reference voltage  $V_{ref}$ , the high voltage beyond necessity will be impressed to an internal circuitry, and an element property deteriorates, or a circuit element is destroyed.

[0021] Drawing 52 is drawing showing the temperature dependence of reference voltage  $V_{ref}$  and the internal supply voltage  $V_{cc}$ . In drawing 52, temperature  $T$  is shown on a horizontal axis and voltage  $V$  is shown on an axis of ordinate. The voltage level rises as are shown in drawing 52, and reference voltage  $V_{ref}$  and the internal supply voltage  $V_{cc}$  have the positive temperature characteristic and temperature  $T$  becomes high. This plans compensating the fall of the working speed accompanying the drain current fall by the substantial increment in the channel resistance which prevents the element property deterioration resulting from the gate insulator layer trap of the hot carrier which the insulated gate field effect transistor (MOS transistor) contained in an internal circuitry generated, and originates in a hot carrier at the time of elevated-temperature actuation in a low-temperature active region. However, when the internal electrical power source voltage  $V_{cc}$  has this positive temperature characteristic, the problem of the following [ a low-temperature field ] arises. Namely, in a low-temperature field, as for an MOS transistor, the absolute value of the threshold voltage becomes large. Therefore, when the gate voltage of an MOS transistor falls in this low-temperature field, the absolute value of the effectual voltage between the gate-sources of an MOS transistor becomes small, and the problem (it will not be in an ON state) which it stops being able to carry out high-speed operation of the MOS transistor, and malfunctions arises. In order to amplify the difference of the bit line voltage of intermediate voltage level, and the sense supply voltage  $V_{ccs}$  in the case of the sense amplifier contained especially in a sense amplifier circuit, the voltage between the gate-sources of the MOS transistor of that component is set to maximum  $V_{ccs} - V_{ccs} / 2$  at the time of initiation of operation, and it becomes remarkable increase of the absolute value of the threshold voltage of this MOS transistor and influencing [ of the sense supply voltage  $V_{ccs}$  ] it of a fall. When this sense supply voltage  $V_{ccs}$  is optimized in a low-temperature field, the sense supply voltage  $V_{ccs}$  becomes high too much at the time of elevated-temperature actuation, and problems, such as destruction of a gate insulator layer or deterioration, arise.  
 [0022] In order to carry out high-speed operation of this sense amplifier circuit, it is possible at the time of sense actuation initiation to raise the level of the sense supply voltage  $V_{ccs}$  given in this sense amplifier circuit. In this case, the sense amplifier supply voltage to a sense amplifier circuit is raised even on circumference supply voltage  $V_{ccp}$  level; and this

pressure-up voltage is accumulated in a capacitor. By performing sense actuation using the charge accumulated in this capacitor at the time of sense actuation, it plans performing high-speed sense actuation. However, in such a case, it is necessary to form the capacitor for pressure-up voltage in the sense power supply line which carries out voltage of the sense amplifier supply voltage  $V_{ccs}$ . In this case, when the capacity value of a capacitor is expected and a margin is set up, capacitor occupancy area becomes large beyond necessity, and the problem that a chip area increases arises.

[0023] Moreover, in order to reduce the system-wide consumed electric current, the voltage level of the external power voltage  $V_{ext}$  is made low. When it becomes close to the level of the voltage  $V_a$  which the voltage level of this external power voltage  $V_{ext}$  falls, and is shown in drawing 50, Namely, when the difference of the external power voltage  $V_{ext}$  and the internal electrical power source voltage  $V_{cc}$  becomes small, The voltage between source-drains of current drive transistor 505b shown in drawing 49 becomes small. The current serviceability of this current drive transistor 505b declines, and it becomes impossible to compensate the fall of the internal supply voltage  $V_{cc}$  at high speed, and it becomes impossible to hold the internal supply voltage  $V_{cc}$  to stability at a predetermined voltage level at the time of change of the internal supply voltage  $V_{cc}$ . The fall of the amount of supply current from the external power node at the time of the fall of this external power voltage  $V_{ext}$  to an internal electrical power source line constitutes that one cause also for the output signal of a comparator again, as shown below.

[0024] Drawing 53 is drawing showing an example of the configuration of comparator 505a shown in drawing 49. The p channel MOS transistor PQ1 by which comparator 505a is connected between an external power node and Node NDA, and the gate is connected to Node NDB in drawing 53, The p channel MOS transistor PQ2 by which connects between an external power node and Node NDB, and the gate is connected to Node NDB, The n channel MOS transistor NQ1 which is connected between Node NDA and Node NDC, and receives reference voltage  $V_{ref}$  in the gate, The n channel MOS transistor NQ2 which is connected between Node NDB and Node NDC, and receives the internal electrical power source voltage  $V_{cc}$  in the gate, The n channel MOS transistor NQ3 which is connected between Node NDC and a touch-down node, and receives the activation signal ACT in the gate is included. Node NDA is connected to the gate of current drive transistor 505b.

[0025] MOS transistors PQ1 and PQ2 constitute current Miller circuit, and transmit the current of the same magnitude to MOS transistors NQ1 and NQ2. MOS transistor NQ3 is a current source transistor, and restricts the operating current of this comparator 505a. The circuit connected to 505d of internal electrical power source lines operates, and the activation signal ACT is activated when consuming this internal electrical power source voltage  $V_{cc}$ .

[0026] In the configuration of comparator 505a shown in this drawing 53, the voltage level of Node NDC becomes higher than a touch-down voltage level by channel resistance of MOS transistor NQ3. If the voltage level of this node NDC rises when the backgate of MOS transistors NQ1 and NQ2 is connected to the touch-down voltage level, the backgate effect of the MOS tracking NQ1 and NQ2 will become large, those threshold voltage will become high, and that amount of drive current will become small. The minimum attainment potential of Node NDA is a voltage level on Node NDC, and becomes higher than a touch-down voltage level. This node NDA is connected to the gate of current drive transistor 505b. Therefore, if the voltage level of the external power voltage  $V_{ext}$  falls, the voltage between the gate-sources of this current drive transistor 505b will become still smaller, and the current serviceability of current drive transistor 505b will become small. Therefore, if the difference of the external power voltage  $V_{ext}$  and the internal electrical power source voltage  $V_{cc}$  becomes small, the voltage between source-drains of current drive transistor 505b will become small, and the voltage between the gate-sources will become small, and the current serviceability of this current drive transistor 505b will decline further. In order to enlarge current serviceability of this current drive transistor 505b, it is necessary to set that gate width  $W$  as the magnitude of several  $\mu m$ , and the problem that circuit occupancy area increases it.

[0027] Moreover, the activation signal ACT needs to be activated to compensate for consumption of the internal electrical power source voltage  $V_{cc}$  on 505d of internal electrical power source lines. It is necessary to make circuit occupancy area for generating this activation signal ACT as small as possible.

[0028] Moreover, it operates at the time of not the pressure-lowering circuit that answers the activation signal ACT as shown in drawing 53, and is activated alternatively but standby, and in the case of the pressure-lowering circuit which compensates the leakage current at the time of standby, it replaces with the activation signal ACT and the bias voltage of a fixed voltage level is given. In this case, in order for the voltage level of Node NDC to become higher (since the conductance of a current source transistor becomes small), and for the problem that the current serviceability of a current drive transistor declines when this external power voltage  $V_{ext}$  is low to become more remarkable and to compensate leakage current at the time of standby, the problem that it will be necessary to use the current drive transistor of a big occupancy area arises.

[0029] As mentioned above, in the case of the conventional internal power circuit, there was a problem that it was small occupancy area and internal supply voltage could not be generated by the low consumed electric current to stability over the large range of an operational parameter (operating temperature and supply voltage).

[0030] So, the purpose of this invention is offering the internal power circuit which can generate the internal supply voltage which operates an internal circuitry to stability.

[0031] Other purposes of this invention are offering the internal power circuit which can generate the internal supply voltage of desired level in stability in low occupancy area.

[0032] The purpose of further others of this invention is offering the circuit element which can apply the internal supply voltage which operates an internal circuitry to stability over a large operational-parameter range to the internal power circuit which can be generated in the low consumed electric current and low occupancy area.

[0033]

[Means for Solving the Problem] A semiconductor device concerning claim 1 is equipped with a means for adjusting capacity value of an internal electrical power source circuit for generating internal electrical power source voltage from external power voltage, an internal circuitry using internal electrical power source voltage from this internal electrical power source circuit, a capacitative element combined with an internal electrical power source line which transmits this internal electrical power source voltage, and this capacitative element.

[0034] A means by which, as for a semiconductor device concerning claim 2, an internal electrical power source circuit of claim 1 generates the 1st reference voltage, A means to generate the 2nd reference voltage of a different voltage level from this 1st reference voltage, It has a pressure-lowering means to supply current to an internal electrical power source line from a node which supplies external power voltage according to a selection means to answer a change signal and to choose one side of the 1st and 2nd reference voltages, and reference voltage from a selection means and voltage on an internal electrical power source line.

[0035] Equipment of claim 2 answers a specific mode-of-operation indication signal which specifies a further specific mode of operation, and a semiconductor device concerning claim 3 is equipped with a mode setting means for enabling the exterior to a setup of the 1st reference voltage which the 1st reference voltage generating means generates.

[0036] An internal circuitry of claim 1 is arranged corresponding to each train of two or more memory cells arranged in the shape of a matrix, and a memory cell, and a semiconductor device concerning claim 4 contains two or more sense amplifiers with which each detects data of a memory cell of a train of correspondence, and amplifies and latches it as supply voltage of operation at the time of activation, using internal electrical power source voltage on the other hand.

[0037] A semiconductor device concerning claim 5 includes an output circuit for an internal circuitry of claim 1 to output to the exterior data of a memory cell with which it was chosen of two or more memory cells and the memory cells of these plurality. This output circuit includes a level-conversion circuit for changing a voltage level of data of a selection memory

cell. On the other hand, this level-conversion circuit operates internal electrical power source voltage as supply voltage of operation.

[0038] A semiconductor device concerning claim 6 is equipped with a means to generate reference voltage which has the temperature characteristic of negative or zero in the 1st temperature field, and has the positive temperature characteristic in the 2nd hot temperature field rather than the 1st temperature field, and a means to generate internal electrical power source voltage based on this reference voltage.

[0039] 1st voltage generating means by which a semiconductor device concerning claim 7 generates the 1st voltage to which a reference voltage generating means of claim 6 is proportional to resistance ratio of the 1st and 2nd resistance elements formed with the same material, 2nd voltage generating means to generate the 2nd voltage proportional to resistance ratio of the 3rd and 4th resistance elements formed with a mutually different material, In response to the 1st and 2nd voltage from these [ 1st ] and the 2nd voltage generating means, it has an OR means to generate voltage according to a voltage level of the higher one as reference voltage.

[0040] The 1st resistance element connected between an external power node and the 1st node in which, as for a semiconductor device concerning claim 8, the 1st voltage generating means of claim 6 receives external power voltage, An insulated gate field effect transistor of the 1st conductivity type by which connects between an external power node and the 2nd node, and the gate is connected to the 2nd node, The 2nd insulating mold field-effect transistor of the 1st conductivity type by which connects between the 1st node and the 3rd node, and the gate is connected to the 2nd node, Current Miller circuit which produces a flow of current of the same magnitude as these 2nd and 3rd nodes, The 1st insulated gate field effect transistor and current Miller circuit are constituted, and the 2nd resistance element which transforms into voltage current from the 1st current source transistor which supplies current, and this 1st current source transistor, and generates the 1st voltage is included.

[0041] The 3rd resistance element to which the 2nd voltage generating means is connected between an external power node and the 4th node, The 3rd insulated gate field effect transistor of the 1st conductivity type by which connects between an external power node and the 5th node, and the gate is connected to the 5th node, The 4th insulated gate field effect transistor of the 1st conductivity type by which connects between the 4th node and the 6th node, and the gate is connected to the 5th node, The 2nd current Miller circuit which supplies current of the same magnitude as the 5th and 6th nodes, Current which the 3rd insulated gate field effect transistor, the 2nd current source transistor which constitutes current Miller circuit, and this 2nd current source transistor supply is transformed into voltage, and the 4th resistance element which generates the 2nd voltage is included.

[0042] As for a semiconductor device concerning claim 9, the gate and a drain consist of insulated gate field effect transistors which interconnected, as for the 4th resistance element of claim 8.

[0043] The 3rd resistance element of claim 8 consists of refractory metal silicide, and, as for a semiconductor device concerning claim 10, the 4th resistance element consists of impurity diffusion resistance. Preferably, this impurity diffusion resistance contains a P type impurity concentration in high concentration.

[0044] A semiconductor device concerning claim 11 contains an insulated gate field effect transistor by which the source is connected with a source couple stage where OR means of claim 7 receives the 1st and 2nd voltage in each gate, and this source couple stage, and that gate and drain are connected to a reference voltage output node. A current drive transistor combined between external power nodes and internal electrical power source lines by which a semiconductor device concerning claim 12 receives external power voltage, A level-conversion circuit which receives reference voltage and internal electrical power source voltage on an internal electrical power source line, and changes both level of such reference voltages and internal electrical power source voltage, Reference voltage and internal electrical power source voltage from this level-conversion circuit by which the level conversion was carried out are compared, and it has a comparator circuit which adjusts

conductance of a current drive transistor according to that comparison result.  
 [0045] It is combined between a current mirror stage to which it is combined with an external power node and a comparator circuit of claim 12 supplies current, and this current mirror stage and a touch-down node, and a semiconductor device concerning claim 13 contains an insulated gate field effect transistor pair which receives internal electrical power source voltage and reference voltage by which the level conversion was carried out to the gate, respectively. Each one side flow node of these insulated gate field effect transistor pair receives touch-down voltage.

[0046] The 1st insulated gate field effect transistor from which a level-conversion circuit of claim 12 is combined between the 1st node and the 2nd node, and a semiconductor device concerning claim 14 receives internal electrical power source voltage in the gate, The 2nd insulated gate field effect transistor which is combined between the 1st node and the 3rd node, and receives reference voltage in the gate, The 3rd insulated gate field effect transistor by which it is combined between the 2nd node and a touch-down node, and the gate is combined with the 3rd node, The 4th insulated gate field effect transistor by which it is combined between the 3rd node and a touch-down node; and the gate is combined with the 3rd node is included. Reference voltage by which the level conversion was carried out is outputted from the 3rd node, and internal electrical power source voltage by which the level conversion was carried out is outputted from the 2nd node. Moreover, the 1st to 4th insulated gate field effect transistor is a transistor of the same conductivity type.

[0047] A semiconductor device concerning claim 15 is equipped with an insulated gate field effect transistor of two or more same conductivity types connected to a serial between the 1st node and the 2nd node. Each gate of an insulated gate field effect transistor of these plurality is connected to a transistor connection node which placed one transistor in between. Each connection node turns into a node which outputs voltage which pressured partially voltage between the 1st and 2nd nodes.

[0048] A semiconductor device concerning claim 16 is connected so that it may connect with one 1st flow node of two insulated gate field effect transistors which a backgate of two insulated gate field effect transistors which a backgate of two or more insulated gate field effect transistors of claim 15 adjoins this adjoins in common. The 1st of two insulated gate field effect transistors and the 2nd flow node which a connection node between transistors adjoins are connected.

[0049] A reference voltage generating circuit in which a semiconductor device concerning claim 17 generates the 1st and 2nd reference voltages in response to current from this constant current source including a constant current source and two or more resistance elements which connect with a serial, A pressure-lowering circuit which generates the 1st and 2nd internal electrical power source voltage from external power voltage according to each of these 1st and 2nd reference voltages, With a memory array which has two or more memory cells arranged in the shape of a matrix, it is prepared corresponding to memory cell each train, and the 1st internal electrical power source voltage is used. It has a circumference circuit which performs memory cell selection actuation using two or more sense amplifiers which perform detection and amplification of data of a memory cell of a train of correspondence at the time of activation, and the 2nd internal electrical power source voltage.

[0050] A semiconductor device concerning claim 18 is equipped with an insulated gate field effect transistor of two or more same conductivity types by which a reference voltage generating circuit of claim 17 is connected to a serial between the 1st node and the 2nd node which receive current from a constant current source. Each gate of an insulated gate field effect transistor of these plurality is connected to a transistor connection node which placed one transistor in between. Each connection node turns into a node which outputs voltage which pressured partially voltage between the 1st and 2nd nodes. One 1st flow node of a contiguity MOS transistor pair and the 2nd flow node of another side connect a transistor connection node.

[0051] Activation of an activation signal from a decoding circuit which decodes a signal of two

or more predetermined nodes of a delay chain which receives a mode-of-operation indication signal, and this delay chain including two or more delay stages by which series connection is carried out, and generates an activation signal, and this decoding circuit answers, it is activated, and the semiconductor device concerning claim 19 includes the pressure-lowering circuit which adjusts level of internal electrical power source voltage according to a difference of internal electrical power source voltage and reference voltage. This pressure-lowering circuit includes a comparator circuit which compares internal electrical power source voltage and voltage corresponding to each reference voltage.

[0052] A semiconductor device concerning claim 20 includes a means by which a decoding circuit of claim 19 generates the 1st activation signal which activates a pressure-lowering circuit, and the 2nd activation signal which carries out the increment in a predetermined period of this activated operating current of a comparator circuit of a pressure-lowering circuit.

[0053] A semiconductor device concerning claim 21 includes a means by which a decoding circuit of claim 20 answers each activation and deactivation of a mode-of-operation indication signal, and activates the 2nd activation signal.

[0054] The 1st internal pressure-lowering circuit where, as for a semiconductor device concerning claim 22, a pressure-lowering circuit of claim 20 adjusts level of the 1st internal electrical power source voltage according to a difference of the 1st reference voltage and the 1st internal electrical power source voltage, It is prepared apart from this 1st pressure-lowering circuit, and the 2nd internal pressure-lowering circuit which compares the 2nd reference voltage with the 2nd internal electrical power source voltage, and adjusts level of the 2nd internal electrical power source voltage according to this comparison result is included. The 1st and 2nd activation signals are given [ both ] in the 1st internal pressure-lowering circuit.

[0055] The 1st internal pressure-lowering circuit where, as for a semiconductor device concerning claim 23, a pressure-lowering circuit of claim 20 adjusts level of the 1st internal electrical power source voltage according to a difference of the 1st reference voltage and the 1st internal electrical power source voltage, It is prepared apart from this 1st internal pressure-lowering circuit, and the 2nd internal pressure-lowering circuit which adjusts level of the 2nd internal electrical power source voltage according to a difference of the 2nd reference voltage and the 2nd internal electrical power source voltage is included. The 1st and 2nd activation signals are given in the 1st and 2nd internal pressure-lowering circuits, respectively.

[0056] A semiconductor device concerning claim 24 compares voltage respectively corresponding to reference voltage and internal electrical power source voltage on this internal electrical power source line with a current drive transistor combined between an external power node which receives external power voltage, and an internal electrical power source line at the time of activation, and is equipped with an activation means activate a comparator circuit according to a comparator circuit which controls conductance of a current drive transistor according to this comparison result, and level of internal electrical power source voltage.

[0057] A semiconductor device concerning claim 25 includes a means by which an activation means of claim 24 activates a comparator circuit according to a difference of internal electrical power source voltage and reference voltage.

[0058] A semiconductor device concerning claim 26 includes a means by which an activation means of claim 24 activates a comparator circuit according to a difference of reference voltage, another different reference voltage, and internal electrical power source voltage.

[0059] A semiconductor device concerning claim 27 includes a means by which an activation means of claim 24 activates a comparator circuit according to a difference of internal electrical power source voltage and external power voltage.

[0060] A semiconductor device concerning claim 28 includes a means by which claim 24 thru/or one activation means of 27 will deactivate a comparator circuit if a difference of internal electrical power source voltage and external power voltage becomes below a

predetermined

value.

[0061] By adjusting capacity value of a capacitive element, the occupancy area can be made into min by being able to transmit internal supply voltage of a desired voltage level to stability to an internal circuitry, and enabling adjustment of capacity value of a capacitive element.

[0062] giving the temperature characteristic of negative or zero for reference voltage used as criteria of internal supply voltage in the 1st temperature field, and giving the temperature characteristic positive in the 2nd temperature field -- a low-temperature field and an elevated-temperature field -- also in any, internal supply voltage level can be optimized and a field-effect transistor of an internal circuitry can be operated to a high speed and stability.

[0063] Moreover, after changing level of reference voltage and internal supply voltage, by comparing, an active region of a comparator can be set as the optimal field, and a pressure-lowering circuit which was excellent in a response characteristic at the time of external power sag can be realized.

[0064] Moreover, by connecting with a connection node of a transistor which left the one gate of an MOS transistor by which series connection is carried out, effect of threshold voltage can be reduced, these MOS transistors can be operated in resistance mode to stability, and internal voltage of a desired voltage level can be generated.

[0065] Occupancy area of a reference voltage generating circuit can be reduced by considering as a configuration which generates the 1st and 2nd reference voltages from one reference voltage generating circuit.

[0066] Moreover, occupancy area of a control circuit can be reduced by generating an activation signal by decoding of a delay signal.

[0067] Moreover, by activating a comparator circuit of a pressure-lowering circuit alternatively according to level of internal supply voltage, also in a power up, a pressure-lowering circuit can be operated according to internal supply voltage level, and it can prevent that high voltage is impressed superfluously on an internal electrical power source line, and can prevent that an internal circuitry is destroyed.

[0068]

[Embodiment of the Invention] [Whole configuration] drawing 1 is drawing showing roughly the configuration of the whole semiconductor memory with which this invention is applied. In drawing 1, this semiconductor memory includes the memory cell array 100, the address input buffer 200, the line selection circuitry 250, the sense amplifier circuit 300, the train selection circuitry 350, and the I/O circuit 400 as usual. On the other hand, the address input buffer 200, the line selection circuitry 250, the train selection circuitry 350, and the I/O circuit 400 receive the circumference supply voltage  $V_{ccp}$  as supply voltage of operation, respectively. The sense amplifier circuit 300 receives the sense supply voltage  $V_{ccs}$ .

[0069] This semiconductor memory includes further the internal electrical power source circuit 1 which generates the circumference supply voltage  $V_{ccp}$  and the sense supply voltage  $V_{ccs}$  from the external power voltage  $V_{ext}$ , and the voltage-level control circuit 10 which adjusts the level of the supply voltage  $V_{ccp}$  and  $V_{ccs}$  which this internal electrical power source circuit 1 generates according to a mode of operation. Although the configuration of the internal electrical power source circuit 1 is explained below at details, it is small occupancy area and generates supply voltage  $V_{ccp}$  and  $V_{ccs}$  to stability over a large external power voltage field and a temperature field. The voltage-level control circuit 10 adjusts and stabilizes the voltage level of the supply voltage  $V_{ccp}$  and  $V_{ccs}$  from the internal electrical power source circuit 1 at a power up or the time of sense amplifier actuation of this semiconductor memory. The internal power circuit 1 and the voltage-level control circuit 10 can generate internal supply voltage to stability in small occupancy area, and the internal circuitry of this semiconductor memory can be operated to stability.

[0070] In addition, the internal electrical power source circuit 1 adjusts the voltage level of this internal electrical power source voltage according to the comparison result of the reference voltage from a reference voltage generating circuit and the internal electrical power source voltage  $V_{cc}$  ( $V_{ccp}$  or  $V_{ccs}$ ) which are contained inside.

[0071] [The gestalt 1 of operation] Reference-voltage generating circuit 1: Drawing 2 is drawing showing the configuration of the reference voltage generating circuit according to the gestalt 1 of implementation of this invention. 1st voltage generating circuit 2a which generates the 1st voltage V1 on which the reference voltage generating circuit 2 has the positive temperature characteristic to which the voltage level rises with a temperature rise in drawing 2. Whether the voltage level falls with a temperature rise Or 2nd voltage generating circuit 2b which generates the 2nd voltage V2 which has the temperature characteristic of negative [ which becomes fixed ], or zero, OR circuit 2c which chooses the voltage of the high voltage level of the 1st voltage V1 and the 2nd voltage V2, and is outputted as reference voltage Vref is included.

[0072] The p channel MOS transistor Q1 by which 1st voltage generating circuit 2a is connected between an external power node and Node NDD, and the gate is connected to Node NDD, The p channel MOS transistor Q2 by which the source is connected to an external power node through a resistance element R1, a drain is connected to Node NDE, and the gate is connected to Node NDD, The n channel MOS transistor Q3 by which connects between Node NDD and a touch-down node, and the gate is connected to Node NDE, The n channel MOS transistor Q4 by which connects between Node NDE and a touch-down node, and the gate is connected to Node NDE, The resistance element RL1 which transforms into voltage the current I3 supplied from the p channel MOS transistor Q5 which supplies current from an external power node according to the voltage level of Node NDD, and this MOS transistor Q5, and generates the 1st voltage V1 is included. Channel width W1 of MOS transistor Q1 is made sufficiently smaller than the channel width W2 of MOS transistor Q2. MOS transistors Q3 and Q4 constitute current Miller circuit, and MOS transistors Q1 and Q5 constitute current Miller circuit. Resistance elements R1 and RL1 consist of same materials.

[0073] 2nd voltage generating circuit 2b is equipped with the same configuration as 1st voltage generating circuit 2a. However, as for this 2nd voltage generating circuit 2b, materials differ [ resistance elements R2 and RL2 ]. Other configurations are the same as this 1st voltage generating circuit 2a, and give the same reference number to a corresponding portion. Therefore, MOS transistors Q1-Q5 fill the relation of the same size (ratio of channel width and channel length) in 1st voltage generating circuit 2a and 2nd voltage generating circuit 2b.

[0074] The p channel MOS transistor Q6 by which OR circuit 2c is connected between an external power node and Node NDF, and the gate is connected to Node NDF, The p channel MOS transistor Q7 by which connects between an external power node and Node NDG, and the gate is connected to Node NDF, The n channel MOS transistor Q8 which is connected between Node NDF and Node NDH, and receives the 1st voltage V1 in the gate, The n channel MOS transistor Q9 which is connected between Node NDF and Node NDH, and receives the 2nd voltage V2 in the gate, The n channel MOS transistor Q10 by which connects between Node NDG and Node NDH, and the gate is connected to Node NDG, The n channel MOS transistor Q11 which is connected between Node NDH and a touch-down node, and receives the external power voltage Vext in the gate is included. MOS transistors Q6 and Q7 constitute current Miller circuit, and MOS transistors Q8, Q9, and Q10 constitute source joint logic (source KAPPURUDO logic). Next, actuation is explained.

[0075] First, actuation of 1st voltage generating circuit 2a is explained. MOS transistors Q3 and Q4 -- current Miller circuit -- constituting -- moreover, the size (ratio of channel width and channel length) of these MOS transistors Q3 and Q4 -- mutual -- etc. -- it spreads -- it is carried out, and gets down and the current of the same magnitude flows to MOS transistors Q1 and Q2 ( $I_1=I_2$ ). MOS transistors Q1 and Q2 differ in the channel width. The resistance element R1 has sufficiently big resistance, the current which flows to MOS transistors Q1 and Q2 is minute current, and these MOS transistors Q1 and Q2 operate in a subthreshold level field. Make voltage between the gate-sources of MOS transistor Q1 into voltage Vgs1, and let voltage between the gate-sources of MOS transistor Q2 be voltage Vgs2. These MOS transistors Q1 and Q2 are operating in the subthreshold level field, and since the magnitude

of current I1 and I2 is equal, a degree type is obtained by current Miller circuits Q3 and Q4.  
[0076]

$I_0, W_1$  and  $\exp(q \cdot V_{gs1}/n \cdot k \cdot T) = I_0, W_2, \exp(q \cdot V_{gs2}/n \cdot k \cdot T)$   
I0 shows the amount of current which flows to per unit channel width of MOS transistors Q1 and Q2 here, and n is a coefficient expressed with the function of a depletion layer capacitance. Moreover, in T, temperature and q show the amount of electronic charge, and k shows a Boltzmann's constant. A degree type is obtained from a top type.  
[0077]  $V_{gs1} - V_{gs2} = (n \cdot k \cdot T/q) \ln (W_2/W_1)$

On the other hand, since MOS transistor Q1 and Q2 gate potential are equal, the voltage Vr1 impressed to a resistance element R1 serves as Vgs1-Vgs2. Therefore, the current I1 and I2 which flows this resistance element R1 and flows in current Q1 and Q2, i.e., MOS transistors, is expressed with a degree type from a top type.  
[0078]

$I_1 = I_2 = (V_{gs1} - V_{gs2})/R_1 = (n \cdot k \cdot T/q) \ln (W_2/W_1)$  and 1/R1 MOS transistors Q1 and Q5 constitute current Miller circuit, the size is made equal and the magnitude of current I1 and I3 of these MOS transistors Q1 and Q5 is equal. Therefore, the 1st voltage V1 generated by the resistance element RL1 is expressed with a degree type.

[0079]  $V_1 = (n \cdot k \cdot T/q) \ln (W_2/W_1)$  and RL1/R1 -- 2nd voltage generating circuit 2b is also equipped with the same circuitry as 1st voltage generating circuit 2a, and since the size ratio of MOS transistors Q1-Q5 is the same, the 2nd voltage V2 is expressed with a degree type.

[0080]  $V_2 = (n \cdot k \cdot T/q) \ln (W_2/W_1)$  and RL2/R2 OR-circuit 2c receives voltage V1 and V2 in each gate of MOS transistors Q8 and Q9. Those sources are combined with Node NDH and MOS transistors Q8-Q10 operate in source follower mode. When reference voltage Vref is higher than voltage V1 and \*\* 2, the voltage level of Node NDH will serve as Vref-Vth, and MOS transistors Q8 and Q9 will be in an OFF state. In this condition, since current does not flow to MOS transistor Q6, it responds, and current does not flow to MOS transistor Q7, but, as for the reference voltage Vref from Node NDG, that voltage level falls (it discharges by MOS transistor Q11).

[0081] When reference voltage Vref is between the 1st voltage V1 and the 2nd voltage V2, one side will be [ MOS transistors Q8 and Q9 ] in an ON state. Now, the condition that the 1st voltage V1 is higher than the 2nd voltage V2 is considered. In this condition, MOS transistor Q8 will be in an ON state, MOS transistor Q9 will be in an OFF state, and current flows to MOS transistor Q11 through MOS transistors Q6 and Q8. The current of the same magnitude as the current which flows through this MOS transistor Q6 flows to MOS transistor Q10 through MOS transistor Q7. Now, since reference voltage Vref is lower than the 1st voltage V1, MOS transistor Q10 is an OFF state, the voltage level of this node NDG rises and the voltage level of reference voltage Vref rises.

[0082] When reference voltage Vref is lower than voltage V1 and V2, since one side will be [ MOS transistor Q8 and Q9 one side ] in an ON state and an another side GAOFU condition according to the relation of the voltage level of voltage V1 and V2, the voltage level of reference voltage Vref rises similarly. Therefore, reference voltage Vref is held at voltage V1 and a voltage level equal to the voltage level of the higher one of \*\* V2.

[0083] Drawing 3 is drawing showing the temperature characteristic of reference voltage Vref. Resistance elements R1 and RL1 consist of same materials. In this case, in the term of (RL1/R1), the temperature dependence of these resistance elements R1 and RL1 is negated from a previous formula. Therefore, as for the 1st voltage V1, the voltage level rises in proportion to temperature T. On the other hand, refractory metal silicide, such as tungsten silicide, is used for a resistance element RL2, and P+ diffused resistor is used as a resistance element R2. The temperature dependence of P+ diffused resistor is large compared with the temperature dependence of refractory metal silicide, such as tungsten silicide, and the resistance of a resistance element R2 becomes higher than the resistance of a resistance element RL2 in an elevated-temperature field. Therefore, since RL2/R2 are proportional to 1/T mostly, as for the 2nd voltage V2, the temperature characteristic maintains about 0 temperature coefficient from a top type, and it is mostly set to a fixed voltage level over a

total-temperature field. Reference voltage  $V_{ref}$  is a voltage level almost equal to the voltage level of the higher one of voltage  $V_1$  and  $V_2$ . Therefore, as shown in drawing 3, in a low-temperature field, it is almost equal to the 2nd voltage  $V_2$ , and has the about 0 temperature characteristic, and on the other hand, in an elevated-temperature field, it becomes equal to the 1st voltage  $V_1$ , and has the positive temperature characteristic. According to this reference voltage  $V_{ref}$ , the internal electrical power source voltage  $V_{cc}$  is generated. Therefore, in an elevated-temperature field, it has the positive temperature characteristic and the internal electrical power source voltage  $V_{cc}$  which has the about 0 temperature characteristic is generated in a low-temperature field. In an elevated-temperature field, when the working speed of an MOS transistor may fall, by making a voltage level high for this internal supply voltage  $V_{cc}$ , gate voltage of an MOS transistor can be made high and can carry out high-speed operation. On the other hand, when the threshold voltage of an MOS transistor becomes [ an absolute value ] large in a low-temperature field, by controlling the fall of the voltage level of the internal supply voltage  $V_{cc}$ , certainly, an MOS transistor can be driven and operated to an ON state, and malfunction can be prevented.

[0084] [Example of modification] drawing 4 (A) is drawing showing the configuration of the example of modification of the gestalt 1 of operation of this invention. In drawing 4, the configuration of the resistance element  $RL_2$  contained in 2nd voltage generating circuit 2b shown in drawing 2 is shown. Other configurations are the same as the configuration shown in drawing 2. In drawing 4 (A), a resistance element  $RL_2$  contains the p channel MOS transistors  $DQ_a$  and  $DQ_b$  by which diode connection was made. When these MOS transistors  $DQ_a$  and  $DQ_b$  by which diode connection was made are used, the absolute value of the threshold voltage falls with a temperature rise. It is equivalent to current becoming easy to flow to MOS transistors  $DQ_a$  and  $DQ_b$ , and resistance becoming small equivalent that the absolute value of threshold voltage becomes small. Therefore, when the resistance element  $RL_2$  shown in drawing 4 (A) of a parenthesis as a resistance element  $R_2$  using the impurity diffusion resistance which has the positive temperature characteristic is used, as for the 2nd voltage  $V_2$ , that voltage level falls with a temperature rise ( $RL_2/R_2 \propto 1/T_2$ ). That is, as shown in drawing 4 (B), the 2nd voltage  $V_2$  has a negative temperature property. On the other hand, the 1st voltage  $V_1$  has the positive temperature characteristic. Therefore, reference voltage  $V_{ref}$  has a negative temperature property in a low-temperature field, and has the positive temperature characteristic in an elevated-temperature field. Since the internal electrical power source voltage  $V_{cc}$  is generated according to this reference voltage  $V_{ref}$ , the internal electrical power source voltage  $V_{cc}$  also has a negative temperature property in the temperature characteristic positive in an elevated-temperature field, and a low-temperature field. Therefore, when the drain current of an MOS transistor decreases in an elevated-temperature field (it originates in channel resistance) and a working speed falls, the working-speed fall of an MOS transistor can be controlled by making level of the supply voltage  $V_{cc}$  high. Moreover, in a low-temperature field, when the threshold voltage of an MOS transistor becomes large by raising the voltage level about the internal supply voltage  $V_{cc}$ , a positive MOS transistor can be operated as an ON state.

[0085] In addition, in an above-mentioned configuration, when the ohms connection of the MOS transistor is carried out so that the gate potential of an MOS transistor may be fixed to the fixed voltage level of supply voltage or a touch-down voltage level, the channel resistance has the positive temperature characteristic which rises with a temperature rise. Therefore, the combination of a suitable resistance element should just be used according to the temperature characteristic of the internal electrical power source voltage  $V_{cc}$  ( $V_{ccp}$  or  $V_{ccs}$ ) demanded in the property and this semiconductor memory of each resistance element. The 1st voltage  $V_1$  which has the positive temperature characteristic is generable by using the MOS transistor to which the ohms connection of the same material or the same configuration was carried out. On the other hand, the 2nd voltage  $V_2$  can have negative or the temperature characteristic of 0 by using a different material or the resistance element of a configuration.

[0086] As mentioned above, if the gestalt 1 of implementation of this invention is followed, since the reference voltage which has 0 or a negative temperature property in a low-

temperature field, and has the positive temperature characteristic in an elevated-temperature field will be generated, internal supply voltage can also have the same temperature characteristic, and can operate the circuit using the internal supply voltage generated based on this reference voltage at stability and a high speed over a total-temperature range.

[0087] In addition, the p channel MOS transistor is used in drawing 4 (A). The temperature coefficient of the absolute value of the threshold voltage of a p channel MOS transistor is [ about ]. It is  $2\text{mV/degree C}$ , and the temperature coefficient of the threshold voltage of an n channel MOS transistor is [ about ]. It is  $1.5\text{mV/degree C}$ . Therefore, the n channel MOS transistor by which diode connection was made may be used as a resistance element RL2. Moreover, N+ diffused resistor which poured in the N type impurity may be used as impurity diffusion resistance.

[0088] Moreover, in drawing 3 and drawing 4 (B), the border area (change temperature of the temperature characteristic) of a low-temperature field and an elevated-temperature field is set as temperature with a temperature of about  $0\text{ degree C}$ . However, this boundary should just be set as a suitable value according to the operating-temperature field where this reference voltage generating circuit or semiconductor memory is used.

[0089] [Gestalt 2 of operation] drawing 5 is drawing showing the configuration of the important section of the semiconductor memory according to the gestalt 2 of implementation of this invention. In drawing 5, the configuration of the internal power circuit 1 shown in drawing 1 is shown roughly. In the internal power circuit 1 shown in this drawing 5, the reference voltages Vrefp and Vrefs for the circumferences are given from the common reference voltage generating circuit 2 to 3s of sense pressure-lowering circuits which generate circumference pressure-lowering circuit 3p and the sense supply voltage Vccs which generate the circumference supply voltage Vccp, respectively. Circuit occupancy area and the consumed electric current are reduced using one reference voltage generating circuit 2 by generating the reference voltage Vrefp for the circumferences, and the reference voltage Vrefs for sense. Moreover, the temperature characteristic of such reference voltages Vrefp and Vrefs can be made the same, the temperature characteristic of such internal supply voltage Vccp and Vccs and the relation of a voltage level can be uniformly held over a large temperature requirement, and an internal circuitry (a circumference circuit and sense amplifier circuit) can be operated to stability.

[0090] Drawing 6 is drawing showing the configuration of the reference voltage generating circuit 2 shown in drawing 5. In drawing 6, the reference voltage generating circuit 2 contains the resistance elements R10-R14 which are connected between an external power node and Node NDI, and are connected to a serial between the constant current sources CCS, Nodes NDI, and the touch-down nodes which supply fixed current I. The reference voltage Vrefp for the circumferences is outputted from the node NDI between a constant current source CCS and a resistance element R10, and the reference voltage Vrefs for sense is outputted from the node NDJ between resistance elements R10 and R11. Such reference voltages Vrefp and Vrefs are expressed with a degree type. [0091]  $V_{\text{refp}}=I \cdot 5$ ,  $V_{\text{refs}}=I \cdot 4$ , and  $R \sim \text{here} \sim R \sim$  resistance elements R10-R14 -- each resistance is shown. Therefore, such reference voltages Vrefp and Vrefs fill the following relation.

[0092] It can migrate to Vrefp [  $V_{\text{refs}}=4$  and  $1/5$  ], therefore all temperature requirements, and such reference voltages Vrefp and Vrefs can be held in a fixed relation. Since the supply voltage Vccp for the circumferences and the supply voltage Vccs for sense are generated according to such reference voltages Vrefp and Vrefs, similarly, such internal supply voltage Vccp and Vccs can hold fixed relation over a total-temperature range, and can realize the semiconductor memory which operates to stability. When this ratio shifts from constant value, the working speed and the margin of operation of a circuit portion which perform store/read-out of the memory cell data which is a circumference circuit change, for example, or sense initiation timing becomes early relatively, a timing mismatch, like train selection timing becomes early relatively arises, and it becomes impossible to guarantee stable

internal-circuitry

actuation.

[0093] Drawing 7 is drawing showing the relation between external power voltage and reference voltage. In drawing 7, in reference voltages Vrefp and Vrefs, the voltage level rises as the external power voltage Vext rises. When a constant current source CCS begins to supply Current I, reference voltages Vrefp and Vrefs have the magnitude of a fixed ratio (4/5) from the time. Therefore, if actuation of the MOS transistor which is an internal-circuitry component is attained even if it is the case that the external power voltage Vext is low, actuation of this semiconductor memory will be attained. Therefore, the margin of the semiconductor memory in the minimum side field of the external power voltage Vext of operation is improvable.

[0094] Moreover, since the reference voltage Vrefp for the circumferences and the supply voltage Vrefs for sense are generated using the resistance element by which series connection was carried out, the reference voltage Vrefp for the circumferences can always be held to the voltage level more than the reference voltage Vrefs for sense. Moreover, compared with the case where such reference voltages are generated using a separate reference voltage generating circuit, it becomes easy to adjust these voltage values. That is, in the voltage level of the reference voltage Vrefp for the circumferences, adjustment \*\*\*\* responds and the voltage level of the reference voltage Vrefs for sense is also adjusted automatically.

[0095] In addition, in an above-mentioned configuration, such reference voltages Vrefp and Vrefs may have the relation of 5:3.

[0096] Drawing 8 is drawing showing an example of the configuration of the constant current source CCS shown in drawing 6. the p channel MOS transistors Q20-Q23 which a constant current source CCS is connected to the power supply line VCL which transmits the external power voltage Vext in drawing 8 at juxtaposition, and receive bias voltage phiCON in each gate, and these MOS transistors Q20-Q23 -- respectively -- \*\* -- the program elements Pr0-Pr3 connected to a serial are included. The program elements Pr0-Pr3 are connected to an output node in common. The delay circuit DLA which functions on the power supply line VCL as a low pass filter for preventing that the voltage on this power supply line VCL changes rapidly in a power up etc. is formed. A delay circuit DLA consists of resistance and a capacitor.

[0097] The program elements Pr0-Pr3 consist of a switching transistor, fuse elements, or these combination. The voltage level of reference voltage Vrefp is measured at the time of a test production process, and the program elements Pr0-Pr3 are programmed to set it as an optimum value (or layout value) (in the case of a fuse element, it melts).

[0098] Bias voltage phiCON is given from the circuit which has the same configuration as the constant current generating section contained in voltage generating circuit 2a and 2b which are shown in drawing 2 (voltage given at the gate of a transistor Q5). These MOS transistors Q20-Q23 are equipped with the same size, and have the same current supply capability. By programming these program elements Pr0-Pr3 (an alternative flow / cutoff), the current I from a constant current source CCS can be set as an optimum value. If the voltage difference of the external power voltage Vext and bias voltage phiCON becomes larger than the absolute value of the threshold voltage of MOS transistors Q20-Q23, this constant current source CCS will operate and constant current I will be supplied.

[0099] If this current I flows, reference voltages Vrefp and Vrefs will change from that time with a fixed ratio. Reference voltages Vrefp and Vrefs change for this bias voltage phiCON changing according to the rise of the voltage level of the external power voltage Vext according to the external power voltage Vext in drawing 7 (refer to the configuration of the voltage generating circuit of drawing 2).

[0100] Thereby, easily, the reference voltages Vrefp and Vrefs of a desired voltage level can be generated, and the production process for the trimming of the voltage level of such reference voltages can be simplified.

[0101] In addition, in above-mentioned explanation, it is being explained that resistance elements R10-R14 have the same resistance. However, the ratio of such reference voltages Vrefp and Vrefs can be set as any value by changing the resistance of these resistance R10-

R14.

[0102] [Example of modification] drawing 9 is drawing showing the configuration of the example of modification of the gestalt 2 of operation of this invention. In drawing 9, this reference voltage generating circuit 2 contains the p channel MOS transistors Q25-Q29 of the same size connected to a serial between the constant current sources CCS, and the nodes ND 0 and the touch-down nodes connected between an external power node and a node ND 0, and the same threshold voltage. Each gate is connected to the touch-down node to which these MOS transistors Q25-Q29 set one transistor in between in series connection (except for a transistor Q29). That is, the gate of MOS transistor Q25 is connected to the touch-down node ND 2 between MOS transistors Q26 and Q27, the gate of MOS transistor Q26 is connected to the connection node ND 3 between MOS transistors Q27 and Q28, and the gate of MOS transistor Q27 is connected to the touch-down node ND 4 between MOS transistors Q28 and Q29. The gate of MOS transistor Q29 is connected to a touch-down node.

[0103] Moreover, the backgate (substrate field) of these MOS transistors Q25-Q29 is connected to the connection node by the side of the high potential of the MOS transistor which makes a pair by making two MOS transistors into a pair. That is, the backgate of MOS transistors Q25 and Q26 is connected to a node ND 0, and the backgate of MOS transistors Q27 and Q28 is connected to a node ND 2. As for MOS transistor Q29, a backgate is connected to a node ND 4. Next, actuation is explained.

[0104] Nodes ND0-DN4 are in L level of a touch-down voltage level altogether in front of powering on. If a power supply is switched on and the voltage level of the external power voltage  $V_{ext}$  rises, current will be first supplied from a constant current source CCS, and the voltage level of a node ND 0 will rise. If the voltage level of a node ND 0 becomes more than the absolute value of the threshold voltage of MOS transistor Q25, at this time, MOS transistor Q26 will be an OFF state, and the connection node ND 2 is a touch-down voltage level, MOS transistor Q25 will be in an ON state, and it will still supply current to a node ND 1. If the voltage level of this node ND 1 becomes higher than the absolute value of the threshold voltage of MOS transistor Q26, subsequently MOS transistor Q26 will be in an ON state. Subsequently, if current is supplied to a node ND 2 and the voltage level of this node ND 2 becomes higher than the absolute value of the threshold voltage of MOS transistor Q27, MOS transistor Q27 will be in an ON state, and will supply current to a node ND 3. It needs to be set to the voltage level 2 and more than  $V_{thp}$  in order for a node ND 0 to make MOS transistor Q25 an ON state at this time.  $V_{thp}$  shows the absolute value of the threshold voltage of MOS transistor Q25-Q29 here. If the voltage level of this node ND 3 becomes higher than the absolute value of the threshold voltage of MOS transistor Q28, MOS transistor Q28 will supply current to a node ND 4 in an ON state. If the voltage of this node ND 4 becomes higher than the absolute value of the threshold voltage of MOS transistor Q29, MOS transistor Q29 will be in an ON state, and the current path from a node ND 0 to a touch-down node will be formed. Therefore, if the voltage between three continuous nodes serves as a voltage level higher than the absolute value of the threshold voltage of MOS transistors Q25-Q29 among nodes ND0-ND4 in the configuration of the reference voltage generating circuit 2 shown in this drawing 9, these MOS transistors Q25-Q29 will be in an ON state altogether. the voltage of a node ND 0 -- a minimum of -- if it is more than 3 and  $V_{thp}$ , this circuit will operate (the voltage between two continuous MOS transistors is 2 and  $V_{thp}$ ). After these MOS transistors Q25-Q29 will be in an ON state, according to channel resistance of these MOS transistors Q25-Q29, the voltage level of reference voltages  $V_{refp}$  and  $V_{refs}$  is determined. In this case, since MOS transistors Q25-Q29 operate altogether in the same active region and channel resistance also becomes almost equal, reference voltages  $V_{refp}$  and  $V_{refs}$  fill the following relation.

[0105]  $V_{refp}=4$  and  $V_{refs} / 5$  MOS transistors Q25-Q29 depend on the following reasons [operating in the same active region]. Each gate of MOS transistors Q25-Q29 is connected to the connection node which set one MOS transistor. Therefore, the voltage between the gate-sources of MOS transistor Q25-Q28 is equal to the amount of voltage drops in two MOS transistors (in the case of MOS transistor Q29, the voltage between the gate-sources becomes

equal at the amount of voltage drops in MOS transistor Q29). On the other hand, each backgate of MOS transistors Q25-Q28 makes two adjoining MOS transistors an unit, and is connected. That is, those backgates are connected common to the connection node of the high potential of two adjoining MOS transistors. About backgate bias, the effect of the amount of voltage drops in a maximum of one MOS transistor only arises in each contiguity MOS transistor pair. On the other hand, since the backgate bias effect is given with the function of the square root of the absolute value of the voltage VBS of the backgate on the basis of the source, the effect becomes sufficiently small. Therefore, reference voltage Vrefp can be pressured partially, being able to operate these MOS transistors Q25-Q29 in the almost same active region, and being able to use channel resistance of these MOS transistors Q25-Q29 as almost the same, and the reference voltage Vrefs for sense can be generated.

[0106] When the MOS transistor by which diode connection was made is used as a resistance element, it is necessary to make into an ON state all these MOS transistors by which diode connection was made, and the minimum of reference voltage is determined by the effect of threshold voltage. For example, since the voltage drop of the absolute value of the maximum threshold voltage is needed in MOS transistors Q25-Q29 when diode connection of MOS transistors Q25-Q29 is altogether made in drawing 9, 5 and Vthp serve as minimum voltage of the circumference reference voltage Vrefp. Therefore, by using the configuration shown in this drawing 9, minimum voltage of the reference voltage Vrefp for the circumferences can be made sufficiently low with 3 and Vthp, and reference voltages Vrefp and Vrefs can be generated to stability under low supply voltage.

[0107] Moreover, since the voltage between the gate-sources of these MOS transistors Q25-Q29 differs in all and the backgate bias effects also differ in all MOS transistors when all of the gate of these MOS transistors Q25-Q29 are connected to touch-down voltage and the backgate of MOS transistors Q25-Q29 is connected to a node ND 0, MOS transistors Q25-Q29 cannot be altogether operated by the same operating condition. Channel resistance of MOS transistors Q25-Q29 differs, correctly, it cannot pressure partially by the ratio (integer ratio) of a request of the circumference reference voltage Vrefp, and the sense reference voltage Vrefs cannot be generated. However, by using the configuration shown in drawing 9, the reference voltages Vrefp and Vrefs which had predetermined integer ratio m/n correctly can be generated, and the reference voltages Vrefp and Vrefs of a desired voltage level can be easily generated to stability under low supply voltage.

[0108] In addition, in the configuration of the reference voltage generating circuit 2 shown in drawing 9, the reference voltage of 3 and Vrefp/5 is generable by taking out reference voltage from a node ND 2.

[0109] Application] drawing 10 to a use besides [is drawing showing the example of application to other uses of the reference voltage generating circuit of the gestalt 2 of implementation of this invention. In drawing 10, the configuration of the partial pressure circuit which presses input voltage VIN by the time of activation of the activation signal ENDIV is shown as an example. In drawing 10, when the output signal of CMOS inverter INV which reverses the activation signal ENDIV, and Inverter INV is L level, it flows through this partial pressure circuit, and it contains the p channel MOS transistor SQ0 which transmits input voltage VIN, the n channel MOS transistor SQ1 which flows at the time of activation of the activation signal ENDIV, and forms a current path in this partial pressure circuit, and the p channel MOS transistors Q30-Q34 connected to a serial among MOS transistors SQ0 and SQ1. It connects with the connection node to which the gate set one transistor in between, respectively, and, as for MOS transistors Q30-Q34, a backgate is connected to the connection node of high potential by making two contiguity MOS transistors into an unit. The configuration of these MOS transistors Q30-Q34 is the same as the configuration of MOS transistors Q25-Q29 shown in drawing 9. Voltage V10 is outputted from between MOS transistors SQ0 and Q30, voltage V08 is outputted from the connection node between MOS transistors Q30 and Q31, and voltage V06 is outputted from the connection node between MOS transistors Q31 and Q32. Subsequently, it explains with reference to the voltage wave form chart showing actuation of the partial pressure circuit

shown in this drawing 10 in drawing 11.

[0110] When the activation signal ENDIV is L level, MOS transistors SQ0 and SQ1 are in an OFF state, and each internal node of this partial pressure circuit has them in floating of a touch-down voltage level. If the activation signal ENDIV serves as H level, MOS transistors SQ0 and SQ1 will be in an ON state, and the current path from a volt input node to a touch-down node will be formed. When input voltage VIN is a touch-down voltage level, voltage V10, V08, and V06 is also a touch-down voltage level, respectively. the voltage level of this input voltage VIN -- going up -- MOS transistors Q30-Q34 -- if it becomes 3 or more times of the absolute value of each threshold voltage, current will flow to MOS transistors Q30-Q34, and the voltage level of voltage V10, V08, and V06 will rise.

[0111] In drawing 11, the condition that the voltage level of voltage V10, V08, and V06 begins to rise [ input voltage VIN ] in about 0.6v is shown. If MOS transistors Q30-Q34 will be in an ON state altogether, in order to transmit a switching transistor SQ0 without loss of input voltage VIN of threshold voltage, voltage V10 will become equal to input voltage VIN. On the other hand, voltage V08 serves as a voltage level of 4 and V10/5, and voltage V06 serves as a voltage level of 3 and V10/5. Henceforth, the voltage level of voltage V10, V08, and V06 rises as the voltage level of input voltage VIN rises. Therefore, it can migrate to the range of large input voltage, and the voltage which has a fixed ratio can be generated. Moreover, since it replaces with a resistance element and an MOS transistor is used, the occupancy area can be reduced sharply.

[0112] In the partial pressure circuit shown in this drawing 10, voltage Vdd may be the internal supply voltage Vcc, and may be the external power voltage Vext. If this partial pressure circuit is used, measurement of a margin of operation etc. can be performed using the partial pressure voltage from this partial pressure circuit, for example at the time of a test mode of operation.

[0113] In addition, in the configuration shown in drawing 9 and drawing 10, five resistance MOS transistors for partial pressures are used. This is determined according to the ratio of the supply voltage Vrefp for the circumferences in a semiconductor memory, and the supply voltage Vrefs for sense. Therefore, the number of these resistance MOS transistors for partial pressures may be five or more, and should just be set to several suitable n according to this division-ratio m/n.

[0114] [Gestalt 3 of operation] drawing 12 is drawing showing roughly the configuration of the important section of the semiconductor memory according to the gestalt 3 of this operation. In drawing 12, the configuration of the sense power circuit which transmits the sense supply voltage Vccs to the sense amplifier circuit 300 is shown. In drawing 12, a sense power circuit contains in 2s of the sense reference voltage generating circuits which generate the sense reference voltage Vrefs, the circumference reference voltage generating circuit 2p which generate the reference voltage Vrefp for the circumferences, the change over circuit 4 which answers change over signal phiSW and choose one side of such reference voltages Vrefs and Vrefp, and 3 s of the sense pressure-lowering circuits which perform pressure-lowering actuation according to one side of the reference voltage given from the change over circuit 4, and generate sense supply voltage Vccs. 2s of this sense reference voltage generating circuit and circumference reference voltage generating circuit 2p may be separate circuits, and may be one circuit as in the gestalt 2 of previous operation. The reference voltage Vrefs for the sense supply voltage Vccs and the reference voltage Vrefp for the circumference supply voltage Vccp should just be generated.

[0115] The stabilization capacity 7 is formed in the sense power supply line 5 which transmits the sense supply voltage Vccs from 3s of this sense pressure-lowering circuit. The fall of the sense supply voltage Vccs by charging current consumption of the sense amplifier circuit 300 is compensated using the charge stored in this stabilization capacity 7.

[0116] Drawing 13 is drawing showing an example of the configuration of the sense amplifier circuit 300 shown in drawing 12. In drawing 13, the configuration of the portion of the sense amplifier SA formed corresponding to one bit line pair is shown. The p channel MOS transistors Q41 and Q42 to which, as for a sense amplifier SA, cross linking of the gate and

the drain is carried out, The p channel MOS transistor Q43 which answers sense amplifier activation signal  $\phi_{iSP}$ 's activation, flows, and transmits the sense supply voltage  $V_{ccs}$  on the sense power supply line 5 to the source of MOS transistors Q41 and Q42, The n channel MOS transistors Q44 and Q45 to which cross linking of the gate and the drain was carried out, Activation of sense amplifier activation signal  $\phi_{iSN}$  is answered, it flows, and the n channel MOS transistor Q46 on a grounding conductor which carries out touch-down voltage  $V_{ss}$  transfer is included to the source of MOS transistors Q44 and Q45. The drain of MOS transistors Q41 and Q44 is connected to a bit line BL, and the drain of MOS transistors Q42 and Q45 is connected to a bit line /BL. [0117] A word line WL is arranged in the direction which intersects a bit line BL and /BL. A memory cell MC is arranged corresponding to the intersection of a word line WL and a bit line BL. A memory cell MC contains the n channel MOS transistor (access transistor) MT which answers the memory cell capacitor MQ which memorizes information, and the signal potential on a word line WL, flows, and connects the memory cell capacitor MQ to a bit line BL.

[0118] In a sense amplifier SA, if sense amplifier activation signal  $\phi_{iSP}$  and  $\phi_{iSN}$  are activated, the differential amplifying circuit by MOS transistors Q41, Q42, Q44, and Q45 will operate, and a bit line BL and the bit line of the high potential of /BL will be driven on sense supply voltage  $V_{ccs}$  level, and the bit line of low voltage will be discharged to a touch-down voltage level. Therefore, at the time of actuation of a sense amplifier SA, the sense supply voltage  $V_{ccs}$  on the sense power supply line 5 is consumed. The level fall of the sense supply voltage  $V_{ccs}$  on this sense power supply line 5 is compensated with the charge in which it was stored by the stabilization capacity 7. Thereby, a sense amplifier is operated to a high speed and stability. Subsequently, actuation of the circuit shown in this drawing 12 and drawing 13 is explained with reference to the signal waveform diagram shown in drawing 14

[0119] A word line WL will be in the condition of not choosing, in a standby condition, and sense amplifier activation signal  $\phi_{iSP}$  and  $\phi_{iSN}$  will also be in a non-active state. In this condition, the charge of the circumference supply voltage  $V_{ccp}$  level determined as capacity 7 with the reference voltage  $V_{refp}$  for the circumferences is charged. In drawing 14, the case where this circumference supply voltage  $V_{ccp}$  is equal to the reference voltage  $V_{refp}$  for the circumferences is shown.

[0120] If a word line WL is chosen and the voltage level rises, the access transistor MT of a memory cell MC will be in an ON state. The memory capacitor MQ and a bit line BL are electrically combined through an access transistor MT, and migration of a charge arises between a bit line BL and the memory capacitor MQ. The voltage of a bit line BL which suited floating on the level of intermediate voltage ( $V_{ccs}/2$ ) changes with migration of this charge till then. In drawing 14, a signal wave form when H level data is read to a bit line BL is shown. Since the selection memory cell is not connected, a bit line /BL holds the voltage level of intermediate voltage  $V_{ccs} / 2$ .

[0121] Subsequently, sense amplifier activation signal  $\phi_{iSN}$  will be in the active state of H level, and MOS transistors Q44 and Q45 contained in a sense amplifier SA perform differential amplifier actuation, and reduce a bit line / voltage level of BL to a touch-down voltage level. Moreover, sense amplifier activation signal  $\phi_{iSP}$  is activated [ for a while ], and the voltage level of a bit line BL drives on sense supply voltage  $V_{ccs}$  level by MOS transistors Q41 and Q42.

[0122] 3s of sense pressure-lowering circuits tends to hold the voltage  $V_{ccs}$  on the sense power supply line 5 to a sense reference voltage level at the time of sense actuation. Moreover, the charge stored in the stabilization capacity 7 is consumed at the time of sense actuation. Therefore, although the supply voltage on the sense power supply line 5 falls from the level of reference voltage  $V_{refp}$  after sense actuation initiation, it is prevented that the voltage level falls below to the voltage level which the sense reference voltage  $V_{refs}$  specifies. Thereby, MOS transistors Q41 and Q42 of a sense amplifier SA perform sense actuation at high speed. Moreover, since it is controlled that the voltage level of the sense supply voltage

Vccs given through this MOS transistor Q43 at the time of sense initiation falls, these MOS transistors Q41 and Q42 can perform sense actuation correctly according to the voltage level on a bit line BL and /BL. When this sense amplifier SA completes sense actuation and changes into a latch condition, since 3s of sense pressure-lowering circuits is not consumed, they hold most current to the voltage level as which reference voltage Vrefs specifies the sense supply voltage Vccs on this sense power supply line 5. In this case, the voltage on the sense power supply line 5 is only consumed according to leakage current.

[0123] If a memory cycle is completed, a word line WL will also drive a fall, sense amplifier activation signal phiSP, and phiSN to L level in the condition of not choosing to a non-active state. This sense amplifier activation signal phiSP's deactivation is answered, change over signal phiSW serves as predetermined period H level, and the change over circuit 4 shown in drawing 12 replaces with the sense reference voltage Vrefs from 2s of sense reference voltage generating circuits, chooses the circumference reference voltage Vrefp from circumference reference voltage generating circuit 2p, and gives to 3s of sense pressure-lowering circuits. Thereby, the sense power supply line 5 and the charge voltage level of a stabilization circuit 7 return to the voltage level which the circumference reference voltage Vrefp specifies. Then, if sense change over signal phiSW will be in the non-active state of L level again, again, the change over circuit 4 will choose the sense reference voltage Vrefs, and will give it to 3s of sense pressure-lowering circuits. In the meantime, the sense power supply line 5 is mostly held with the stabilization capacity 7 at the level of the supply voltage Vccp for the circumferences.

[0124] As shown in this drawing 12 and drawing 13, by charging the sense power supply line before sense actuation initiation at the voltage level higher than this sense supply voltage level, the voltage-level fall of the sense supply voltage Vccs by the big sense current which flows at the time of sense actuation can be compensated, and sense actuation can be carried out to stability.

[0125] In addition, generally, comparatively big current driving force is demanded of 3s of sense pressure-lowering circuits, and the high-speed response characteristic is not demanded. By forming the stabilization capacity 7, the rapid fall of the sense supply voltage Vccs at the time of this sense actuation initiation can be controlled. The capacity value of this stabilization capacity 7 just compensates the charge consumed according to the charging current in the sense amplifier circuit 300 (sense amplifier SA). For example, when 1K bit line pairs connect with this selection word line WL, the sense amplifier circuit 300 needs to charge 1K bit lines. When the biggest charging current flows at this time, it is the case where all the memory cells connected to a selection word line hold L level data. In this case, the bit line amplitude is set to  $V_{ccs}/2$ . Therefore, if the capacity value C of this stabilization capacity 7 sets bit line capacity to  $C_b$ , that maximum will be given by the degree type.

[0126] 
$$C = C_b \text{ and } 1K \cdot V_{ccs} / 2 \quad (V_{ccp} - V_{ccs})$$

Usually, in consideration of the variation in a manufacture process, the somewhat larger capacity value which expected additional coverage is set up as capacity value of this stabilization capacity 7. Therefore, when the capacity value of the stabilization capacity 7 is superfluously large, the occupancy area of the stabilization capacity 7 increases. Hereafter, the technique of forming the stabilization capacity 7 which has necessary minimum capacity value is explained, without expecting this margin.

[0127] Drawing 15 is drawing showing the configuration of the important section of the semiconductor memory according to the gestalt 3 of implementation of this invention. In the configuration shown in drawing 15, the transfer gate 9 which connects a pad (or external terminal) 13 to the output section of circumference reference voltage generating circuit 2p is formed according to the static test mode detector 11 which detects whether the static test mode was specified according to the signal from the outside, the inverter 12 which reverses the static test mode indication signal TEN from this static test mode detector 11, and the output signal of an inverter 12 and the static test mode indication signal TEN from the static test mode detector 11.

[0128] The output signal of an inverter 12 is given to circumference reference voltage

generating circuit 2p, and stops reference voltage generating actuation of circumference reference voltage generating circuit 2p again at the time of the activation. Moreover, in order to make possible externally the monitor of the voltage on this sense power supply line 5 to the sense power supply line 5, the pad 14 for monitors of dedication is formed. These transfer gates 9, the static test mode detector 11, the change over circuit 4, a stabilization circuit 7, and a pad 14 are contained in the configuration of the voltage-level control circuit 10 shown in drawing 1. Next, actuation of a configuration of being shown in this drawing 15 is explained.

[0129] The static test mode indication signal TEN is in the non-active state of L level at the time of normal operation mode, and the transfer gate 9 is in non-switch-on, and circumference reference voltage generating circuit 2p is in an active state. In this condition, the change over circuit 4 chooses either the circumference reference voltage Vrefp from circumference reference voltage generating circuit 2p, or the sense reference voltage Vrefs from 2s of sense reference voltage generating circuits according to change over indication signal phiSW, and it gives to 3s of sense pressure-lowering circuits as reference voltage Vrefx. [0130] If a static test mode is directed by the signal from the outside at the time of a static test mode, the static test mode detector 11 will drive the static test mode indication signal TEN to H level of an active state. Thereby, the transfer gate 9 will be in an ON state, and the output node of circumference reference voltage generating circuit 2p is electrically connected to a pad 13. Moreover, circumference reference voltage generating circuit 2p is made into a non-active state by the static test mode indication signal of \*\* given through an inverter 12, and suspends reference voltage generating actuation. From the exterior, the voltage level of the reference voltage Vrefp for the circumferences is compulsorily set up through this pad or the external pin terminal (a pad is only called hereafter) 13. A semiconductor memory is operated in this condition and the voltage level of the circumference reference voltage Vrefp is set as an optimum value. This is determined in consideration of the access time, a timing margin, etc. At this time, through a pad 14, the monitor of the voltage level of the sense supply voltage Vccs on this sense power supply line 5 is carried out, and the monitor of the change of the voltage level at the time of sense actuation is externally carried out from the exterior again. The stabilization capacity 7 is connected to the sense power supply line 5 at this time. The optimum value of this circumference reference voltage Vrefp is determined so that a circumference circuit may be operated at high speed and the voltage level of the sense supply voltage Vccs in the sense power supply line 5 of a parenthesis may turn into a voltage level (it does not fall from the voltage level which reference voltage Vrefs specifies) which does not fall greatly.

[0131] Decision of the optimum value of this circumference reference voltage Vrefp determines the optimum value of the capacity value of this stabilization capacity 7 so that  $(Vrefp - Vrefs) \cdot C$  may serve as a predetermined, fixed value (the value Q equal to the amount of net charge used for bit line charge at the time of sense amplifier actuation). In the time of the mask revision at the time of test layout or an alternation of generations etc., the capacity value of the stabilization capacity 7 is adjusted so that the capacity value of this stabilization capacity 7 may turn into an optimum value.

[0132] In addition, the optimum value of the capacity value C of this stabilization capacity 7 is calculated from the relational expression of  $(Vrefp - Vrefs) \cdot C = \text{constant value}$ . This shows that all the charges charged by the stabilization capacity 7 at the time of sense actuation are consumed, it sets in that case, and the sense supply voltage Vccs on the sense power supply line 5 becomes equal to the voltage level which reference voltage Vrefs determines. Since a charge is supplied also from 3s also of sense pressure-lowering circuits at the time of sense actuation, capacity value of this stabilization capacity 7 can be made still smaller. In this case, the optimum value of capacity value may be determined by carrying out the monitor of the voltage change of the sense power supply line 5 externally using the monitor pad 14, and carrying out the monitor of the change voltage of this sense supply voltage Vccs. That is, 3s of sense pressure-lowering circuits and the change over circuit 4 are operated, and the monitor of the change of the sense supply voltage Vccs at the time of sense actuation is

externally carried out through the monitor pad 14, and from that voltage waveform, the amount of excess-and-deficiency charges is calculated, and it is determined that the capacity value of the stabilization capacity 7 will compensate this calculated amount of excess-and-deficiency charges (the minimum voltage of the sense power supply line 5 is set to  $V_{\text{refs}}$ ). [0133] Drawing 16 is drawing showing roughly the configuration of circumference reference voltage generating circuit 2p shown in drawing 15. In drawing 16 circumference reference voltage generating circuit 2p P channel MOS transistor 2pa which flows at the time of the non-activity of the static test mode indication signal TEN, and transmits the external power voltage  $V_{\text{ext}}$ , Constant current source 2pb which is combined with an external power node through MOS transistor 2pa, and supplies fixed current, It flows at the time of 2pc of resistance circuits which transform the current from constant current source 2pb into voltage, and deactivation of a static test mode indication signal / TEN, and n channel MOS transistor 2pd which joins 2pc of resistance circuits to a touch-down node is included. the polish recon resistance element which showed 2pc of resistance circuits in the gestalt 2 of previous operation, and the resistance element using an MOS transistor -- any may be used. [0134] In the configuration of circumference reference voltage generating circuit 2p shown in drawing 16, MOS transistor 2pa and 2pd(s) are made into an ON state at the time of deactivation of the static test mode indication signal TEN, the path for which current flows from an external power node to a touch-down node is formed, and the reference voltage  $V_{\text{refp}}$  for the circumferences according to the resistance which is 2pc of resistance circuits and which it has is generated.

[0135] In addition, when the optimum value of this circumference reference voltage  $V_{\text{refp}}$  is determined, the configuration to which trimming of the resistance of 2pc of resistance circuits which it has, or the current value of a constant current source is carried out may be used so that that optimum value may be suited. Trimming of resistance can be performed using a fuse element etc.

[0136] By using circumference reference voltage generating circuit 2p shown in this drawing 16, this circumference reference voltage generating circuit 2p can be set as an output hi-z state at the time of a static test mode.

[0137] In addition, a pad 13 may be a pad of dedication used in order to impress circumference reference voltage from the exterior for optimization of the stabilization capacity 7 (not combined with an external pin terminal).

[0138] Moreover, it is always combined with the sense power supply line 5, and is made for the pad 14 for monitors to have effect the parasitic capacitance which a pad 14 has at the time of the power supply monitor on this sense power supply line 5 affects change of the sense supply voltage  $V_{\text{ccs}}$  of this sense power supply line 5 also at the time of normal operation.

[0139] In addition, in above-mentioned explanation, it is being explained that the optimum value of the circumference reference voltage  $V_{\text{refp}}$  is determined in consideration of change of the sense supply voltage  $V_{\text{ccs}}$  on the margin of this circumference circuit of operation, a working speed, and the sense power supply line 5. However, that optimum value may be determined that this circumference reference voltage  $V_{\text{refp}}$  will optimize the operating characteristic of a circumference circuit, and the configuration asked for the capacity value of the stabilization capacity 7 only from relational expression with the sense supply voltage  $V_{\text{ccs}}$  according to this optimum value may only be used.

[0140] [Example 1 of modification] drawing 17 is drawing showing roughly the configuration of the example 1 of modification of the gestalt 3 of operation of this invention. Unlike the configuration shown in drawing 15, in the configuration shown in this drawing 17, the transfer gate 15 which will be in non-switch-on at the time of activation of the static test mode indication signal TEN is formed between circumference reference voltage generating circuit 2p and the change over circuit 4. Moreover, circumference reference voltage generating circuit 2p does not receive a reversal static test mode indication signal, but always operates. Other configurations are the same as the configuration shown in drawing 15, and give the same reference number to a corresponding portion.

[0141] In the configuration shown in this drawing 17, the transfer gate 15 will be in non-switch-on at the time of a static test mode, circumference reference voltage generating circuit 2p and the change over circuit 4 are separated, and, on the other hand, the transfer gate 9 connects a pad 13 and the change over circuit 4. Thereby, the circumference reference voltage Vrefp can be compulsorily set up from the outside, without being influenced of the reference voltage which circumference reference voltage generating circuit 2p generates. In circumference reference voltage generating circuit 2p, at the time of a static test mode, the circuitry for holding this circumference reference voltage generating circuit 2p to a non-active state becomes unnecessary, and circumference reference voltage generating circuit 2p can generate the reference voltage of a desired voltage level correctly, without being influenced of channel resistance of the transistor for control etc.

[0142] Moreover, in the configuration shown in this drawing 17, circumference reference voltage generating circuit 2p and 2s of sense reference voltage generating circuits can be made into one circuitry, and the configuration which always generates circumference reference voltage and sense reference voltage with a predetermined ratio can also be used (gestalt 2 reference of operation).

[0143] Drawing 18 is drawing showing an example of the configuration of the stabilization capacity shown in drawing 15 and drawing 17. In drawing 18, Capacitors C0-Cn are connected to juxtaposition at the sense power supply line 5. The transfer gates XT0-XTn are arranged in these Capacitors C0-Cn and juxtaposition. Switching transistors TR0-TRn are formed in a capacitor C0 - each Cn, and a serial between Capacitors C0-Cn and a touch-down node.

[0144] In order to control a flow / un-flowing, corresponding to a capacitor C0 - each Cn, the fuse program circuits FP0-FPn are formed. [ of the transfer gates XT0-XTn and switching transistors TR0-TRn ] The fuse program circuits FP0-FPn make switch-on the transfer gates XT0-XTn and the switching transistors TR0-TRn of correspondence complementary, respectively. These capacitors C0-Cn connect Capacitors C0-Cn to the sense power supply line 5 alternatively at the basis of control of the fuse programs FP0-FPn, in order to have the same capacity value and to realize required capacity value. The transfer gates XT0-XTn short-circuit the capacitors C0-Cn of correspondence at the time of a flow, respectively. On the other hand, the switching transistors TR0-TRn of correspondence will be in an OFF state, and the capacitor which is not used will be in the condition that the two electrodes connected too hastily. Thereby, the capacitors C0-Cn which are not used can prevent acting as parasitic capacitance to the sense power supply line 5.

[0145] Moreover, when connection sequence of Capacitors C0-Cn and switching transistors TR0-TRn is made into reverse and switching transistors TR0-TRn are connected to the sense power supply line 5, a delay circuit is formed of channel resistance of these switching transistors TR0-TRn, and the charge and discharge of the capacitor used at high speed cannot be performed. As shown in drawing 18, it prevents being able to prevent that a charge is accumulated in the capacitor which is not used by short-circuiting the capacitors C0-Cn of correspondence alternatively, acting as a noise source or parasitic capacitance, and having a bad influence on other circuits by the transfer gates XT0-XTn.

[0146] Drawing 19 is drawing showing the configuration of the fuse program circuits FP0-FPn shown in drawing 18. In drawing 19, the configuration of one fuse program circuit FP is shown. In drawing 19 the fuse program circuit FP (FP0-FPn) P channel MOS transistor 20a by which a flow node is connected to an external power node on the other hand, Link element 20b which is connected between MOS transistor 20a and node 20i and which can be melted, N channel MOS transistor 20c connected with node 20i between touch-down nodes, N channel MOS transistor 20d by which it connects with node 20i between touch-down nodes, and the gate is connected to an external power node, Inverter 20e which reverses the voltage on node 20i, and inverter 20f which reverses the output signal of inverter 20e, N channel MOS transistor 20g which is connected with inverter 20h which reverses an inverter 20f output signal, and node 20i between touch-down nodes, and receives the output signal of inverter 20e in the gate is included.

[0147] On the other hand, Inverters 20e and 20f operate the external power voltage  $V_{ext}$  as supply voltage of operation. A flow / un-flowing through the transfer gate XT are controlled by the Inverters [ 20f and 20h ] output signal. A flow / un-flowing are controlled by the inverter 20f output signal. [ of a switching transistor TR ] An inverter 20h output signal is given to the gate of the n channel MOS transistor of the CMOS transmission gate of the transfer gate XT (XT0-XTn).

[0148] The ratio (W/L) of channel width and channel length is sufficiently small, 20d of MOS transistors is carried out, and the current driving force is made sufficiently small. As for MOS transistors 20a and 20c, the gate is connected to a touch-down node, respectively. Next, actuation is explained briefly.

[0149] When link element 20b is switch-on (un-melting), if node 20i is charged through MOS transistor 20a and the voltage level becomes higher than the input logic threshold of inverter 20e, the output signal of inverter 20e will serve as L level, and 20g of MOS transistors will be in an OFF state. In order that the ratio of channel width and channel length may be made sufficiently small and 20d of MOS transistors may pass only minute current, the voltage level of node 20i turns into external power voltage  $V_{ext}$  level. Moreover, an inverter 20f output signal serves as H level (external power voltage level), the transfer gate XT will be in non-switch-on, a switching transistor TR will be in an ON state, and Capacitor C contributes as a stabilization capacity to the sense power supply line 5.

[0150] When link element 20b is melted, whenever it drives node 20i gently to a touch-down voltage level and the voltage level of this node 20a becomes lower than the input logic threshold of inverter 20e to it through 20d of MOS transistors (after powering on), the output signal of inverter 20e will serve as H level, 20g of MOS transistors will be in an ON state, and node 20a is held at a touch-down voltage level. On the other hand, an inverter 20f output signal serves as L level, and an OFF state and the transfer gate XT short-circuit [ a switching transistor TR ] Capacitor C in switch-on.

[0151] N channel MOS transistor 20c is prepared in a power up for preventing that this node 20a drives to a negative voltage level. At the time of fusing of link element 20b, in an initial state, the voltage level of supply voltage  $V_{ext}$  is also low, and the current driving force of 20d of MOS transistors is also small, and this negative voltage level cannot be recovered at high speed, but it may be set as the mistaken initial state, and this is prevented by MOS transistor 20c.

[0152] After determining the optimum value of each capacity value in a wafer process by using the capacitor and fuse program circuit which are shown in this drawing 19, the stabilization capacity which has the optimal capacity value is realizable with a fuse program.

[0153] For every chip, stabilization capacity of the optimal sense supply voltage can be realized, and a sense amplifier can be operated to a high speed and stability.

[0154] [Configuration 2 of stabilization capacity] drawing 20 is drawing showing other configurations of the capacitor for sense supply voltage stabilization. In the configuration shown in drawing 20, capacitor Csa-Csn is prepared in juxtaposition to the sense power supply line 5. An optimal-capacity value is determined and the capacitor of these capacitor Csa-Csn is chosen from the optimized circumference reference voltage according to the optimal-capacity value. These capacitor Csa-Csn has the same capacity value. For example, mask wiring connects between the sense power supply line 5 and a grounding conductor 25, and capacitor Csa-Csn is used as a sense supply voltage stabilization capacity with it. The remaining capacitors Csm and Csn are applied to other uses. As application of other uses, there is decoupling capacity for stabilizing circumference circuit supply voltage or a capacitor for charge pumps which performs charge pump actuation. To a sense power supply line, capacitor occupancy area can be reduced in this case, using a capacitor effectively.

[0155] In a configuration of being shown in this drawing 20, since a capacitor is chosen with mask wiring, although a sense power supply stabilization capacitor cannot be optimized according to the ability of every wafer and a chip, the capacitor occupancy area for sense power supply stabilization can be reduced effectually (since the capacitor which is not used is applicable to other uses).

[0156] [Example 3 of modification] drawing 21 is drawing showing roughly the configuration of the example 3 of modification of the gestalt 3 of operation of this invention. In drawing 21, the sense supply voltage  $V_{ccs}$  from 3s of sense pressure-lowering circuits and the circumference supply voltage  $V_{ccp}$  from circumference pressure-lowering circuit 3p are chosen by the change over circuit 4, and are transmitted on the sense power supply line 5. Therefore, in the configuration shown in this drawing 21, the circumference supply voltage  $V_{ccp}$  from predetermined period circumference pressure-lowering circuit 3p is transmitted on the sense power supply line 5 at the time of actuation of a sense amplifier. The circumference circuit is not usually operating at the time of sense amplifier actuation (a sense amplifier is activated after the completion of line selection actuation, and this completion back row selection actuation of sense actuation is performed). Therefore, the voltage level of the sense supply voltage  $V_{ccs}$  can be raised even on circumference supply voltage  $V_{ccp}$  level, without having a bad influence on circumference circuit actuation in any way, even if it chooses the sense supply voltage  $V_{ccs}$  from 3s of sense pressure-lowering circuits, and the circumference supply voltage  $V_{ccp}$  from circumference pressure-lowering circuit 3p according to change over signal  $\phi SW$  and transmits on the sense power supply line 5, as shown in this drawing 21.

[0157] Application] drawing 22 to a use besides [is drawing showing the example of application to other uses of the gestalt 3 of implementation of this invention. The decoupling capacity  $C_d$  is connected to the power supply line SIG in the configuration shown in drawing 22. An internal circuitry IK uses the voltage on this power supply line SIG. The pad PDB for the monitors of dedication is connected to this power supply line SIG, and the voltage level of this power supply line SIG can be compulsorily set to it from the outside through Pad PDA (refer to the configuration shown in drawing 15 and drawing 17). The decoupling capacity  $C_d$  is equipped with the function to hold the voltage on this power supply line SIG to a fixed voltage level, and is equipped with a noise control function.

[0158] By the fixed simulation, the candidate capacity value of this decoupling capacity  $C_d$  is calculated. The voltage on this power supply line SIG is changed from the exterior through Pad PD at the time of a static test mode, and the monitor of the voltage change on the power supply line SIG is carried out through Pad PDB at this time. It asks for the fewest voltage (voltage impressed through Pad PDA) of voltage change of the power supply line SIG. Voltage at that time is  $V_t(ed)$ . Let voltage actually transmitted on the power supply line SIG be voltage  $V_j$ . In that case, the optimized voltage  $V_t$  has compensated the current or the noise which the internal circuitry IK consumed, and the consumption charge at that time is given by  $V_t \cdot C_d$ . Therefore, the optimum value  $C_{do}$  of this stabilization capacity  $C_d$  is given by the degree type.

[0159]  $C_{do} = (V_t/V_j)$  and  $C_d$  -- thereby, the optimum value of the stabilization capacity  $C_d$  can be calculated and stabilization capacity of the minimum occupancy area can be realized.

[0160] Example of application 2] drawing 23 to a use besides [is drawing showing roughly the configuration of the example 2 of application of the gestalt 3 of operation of this invention. In drawing 23, output buffers  $alumnus0-OBn$  are formed corresponding to the output data bit  $Q0-Qn$ . These output buffers  $alumnus0-OBn$  carry out buffer processing of the internal read-out data  $RD0$  read from the interior /  $RD0-RDn$ , and the / $RDn$ , generate the output data  $Q0-Qn$  of correspondence, respectively, and output them to the exterior. Since these output buffers  $alumnus0-OBn$  are equipped with the same configuration, they show output-buffer  $alumnus0$  configuration typically in drawing 23.

[0161] Output-buffer  $alumnus0$  flows, when level-conversion circuit 26a which changes the voltage level of the internal read-out data  $RD0$  into high-voltage  $V_{pp}$  level,  $n$  channel MOS transistor 27a which flows when the output signal of level-conversion circuit 26a is H level, and drives the output data bit  $Q0$  to H level, and the internal read-out data /  $RD0$  of \*\* are H level, and he contains  $n$  channel MOS transistor 27b which drives the output data bit  $Q0$  to a touch-down voltage level. On the other hand, level-conversion circuit 26a operates the high voltage  $V_{pp}$  as supply voltage of operation, and changes H level (internal electrical power source voltage ( $V_{ccs}$  level)) of the internal read-out data  $RD0$  into high-voltage  $V_{pp}$  level.

MOS transistor 27a drives the output data bit Q0 to H level of supply voltage Vccq level, without receiving supply voltage Vccq as supply voltage of operation on the other hand, and making the gate produce threshold voltage loss in response to the high voltage Vpp higher than the supply voltage Vccq from this level-conversion circuit 26a.

[0162] Vpp1 generating circuit 30a which generates the 1st high voltage Vpp1 common to these output buffers alumnus0-OBn, Vpp2 generating circuit 30b which generates the 2nd high voltage Vpp2 higher than the 1st high voltage Vpp1, Change over circuit 30c which answers change over signal phia and transmits one side of high voltages Vpp1 and Vpp2 on 30d of internal high-voltage transfer lines, and stabilization capacity 30e which stabilizes the voltage of 30d of this internal high-voltage transfer line are included.

[0163] 30d of this internal high-voltage transfer line supplies the high voltage Vpp to the level-conversion circuit included in output-buffer alumnus0 - each OBn. Change over signal phia is generated so that the 2nd high voltage Vpp2 of a predetermined period may be chosen at the time of initiation of output buffers alumnus0-OBn of operation, and completion of operation. Therefore, when level-conversion circuit 26a operates in these output buffers alumnus0-OBn, the voltage on 30d of internal high-voltage transfer line is held at the 2nd high-voltage Vpp2 level, and it can carry out level-conversion actuation to stability, without being accompanied by the fall of the voltage level of the internal high voltage Vpp at the time of actuation of level-conversion circuit 26a. Thereby, output buffers alumnus0-OBn generate the output data bit of supply voltage Vccq level at high speed, without [ without it is influenced of threshold voltage loss of output transistor 27a, and ] producing a working-speed fall.

[0164] In order to optimize the capacity value of stabilization capacity 30e of 30d of this internal high-voltage transfer line, the configuration explained in drawing 20 from previous drawing 15 can be used, and stabilization capacity 30e which generates the high voltage Vpp to stability in the minimum occupancy area can be realized.

[0165] In addition, Vpp1 generating circuit 30a and Vpp2 generating circuit 30b consist of for example, charge pump circuits. In the case of Standard DRAM, change over circuit phia is set as the condition of answering activation and deactivation of an output enable signal / OE, and choosing the 2nd high voltage Vpp2 of a predetermined period. After the lead command with which change over signal phia directs data read-out in the case of the synchronous semiconductor memory which outputs data synchronizing with a clock signal is given, synchronizing with the burst length (number of data bits continuously read by one lead command) period clock signal after predetermined period (period usually shorter than CAS latency) progress, change over signal phia is set as the condition of choosing the 2nd high voltage Vpp2.

[0166] In addition, this change over signal phia may be constituted so that it may be set as the condition of choosing the 2nd internal high voltage Vpp2 as detecting change of the internal read-out data RD 0 / RD0-RDn, and /RDn.

[0167] By using the configuration shown in this drawing 23, the output circuit which can output data to stability at high speed in small occupancy area is realizable.

[0168] As mentioned above, if the gestalt 3 of implementation of this invention is followed, from the exterior, the optimum value of the capacitor for stabilizing the voltage to which predetermined voltage, such as a power supply line or an internal high-voltage line, is impressed can be written as observation is possible, stabilization capacity of the minimum occupancy area can be realized, and equipment occupancy area can be reduced.

[0169] [Gestalt 4 of operation] drawing 24 is drawing showing the configuration of the important section of the semiconductor memory according to the gestalt 4 of implementation of this invention. In drawing 24, the configuration of the pressure-lowering circuit included in the internal power circuit 1 shown in drawing 1 is shown. Although operating characteristics differ, since a sense pressure-lowering circuit and a circumference pressure-lowering circuit have the same circuitry, they show one pressure-lowering circuit 3 in drawing 24.

[0170] The local level-conversion circuit 35 which outputs the supply voltage SFVin by which

the pressure-lowering circuit 3 changed the level of the internal supply voltage  $V_{int}$  and reference voltage  $V_{ref}$  on the internal electrical power source line 37, and the level conversion was carried out in drawing 24, and the reference voltage  $SFV_r$  by which the level conversion was carried out, Comparator 3c which outputs signal  $phidr$  which compares the voltage  $SFV_{in}$  and  $SFV_r$  by which the level conversion was carried out from the local level-conversion circuit 35, and shows the comparison result, Current drive transistor 3d which consists of p channel MOS transistors which supply current to the internal electrical power source line 37 from an external power node according to output signal  $phidr$  of comparator 3c is included. Comparator 3c consists of differential amplifying circuits, and the amplitude of the output signal  $phidr$  is mostly set up between the external power voltage  $V_{ext}$  and touch-down voltage. Thereby, the problem of the current drive transistor 3d [ at the time of the voltage-level fall of the external power voltage  $V_{ext}$  ] sag between the gate-sources is solved, and the rapid fall of current drive transistor 3d current serviceability is prevented. [0171] The p channel MOS transistor Q61 by which comparator 3c is connected between an external power node and Node NDM, and the gate is connected to Node NDM, The p channel MOS transistor Q60 by which connects between an external power node and Node NDN, and the gate is connected to Node NDM, The n channel MOS transistor Q62 which receives the reference voltage  $SFV_r$  by which was connected between Node NDN and the touch-down node, and the level conversion was carried out to the gate, The n channel MOS transistor Q63 which receives the internal electrical power source voltage  $SFV_{in}$  by which was connected between Node NDM and the touch-down node, and the level conversion was carried out to the gate is included. MOS transistors Q60 and Q61 constitute a current mirror stage, and MOS transistors Q62 and Q63 form a comparison stage. Output signal  $phidr$  given from Node NDN at the current drive transistor 3d gate is outputted. Next, actuation is explained

briefly.

[0172] Although the local level-conversion circuit 35 is later explained to details about the configuration and actuation, it carries out the level conversion of reference voltage  $V_{ref}$  and the internal electrical power source voltage  $V_{int}$ , respectively, and generates the level-conversion voltage  $SFV_r$  and  $SFV_{in}$ . the voltage level respectively corresponding to reference voltage  $V_{ref}$  and the internal electrical power source voltage  $V_{int}$  in such level-conversion voltage  $SFV_r$  and  $SFV_{in}$  -- it is -- those voltage differences -- the voltage difference of reference voltage  $V_{ref}$  and the internal electrical power source voltage  $V_{int}$  -- small -- becoming (the partial pressure also of the voltage difference being carried out with the false partial pressure) -- the voltage difference of such reference voltages  $V_{ref}$  and the internal electrical power source voltage  $V_{int}$  is reflected correctly. Comparator 3c carries out the differential amplifier of this level-conversion voltage  $SFV_r$  and  $SFV_{in}$ . When the level-conversion supply voltage  $SFV_{in}$  is lower than the level-conversion reference voltage  $SFV_r$ , MOS transistor Q62 discharges the current given through MOS transistor Q60 to a touch-down node, reduces the voltage level of Node NDN, enlarges current drive transistor 3d conductance by the output signal  $phidr$ , and enlarges Current  $I_d$ . This node NDN is combined with the touch-down node through MOS transistor Q62, and the minimum attainment potential of Node NDN serves as a touch-down voltage level. Therefore, the current drive transistor 3d voltage between the gate-sources serves as maximum- $V_{ext}$ , and can supply Current  $I_d$  on the internal electrical power source line 37 with big current driving force current drive transistor 3d also in the time of an external power voltage  $V_{ext}$  fall. [0173] On the other hand, when the level-conversion supply voltage  $SFV_{in}$  is higher than the level-conversion reference voltage  $SFV_r$ , MOS transistor Q62 cannot discharge altogether, but the voltage level of Node NDN rises, by output signal  $phidr$  from Node NDN, current drive transistor 3d conductance falls, and a current supply source stops the current supplied through

MOS

transistor

Q60.

[0174] As shown in drawing 25 (A), as for output signal  $phidr$  of comparator 3c, a touch-down voltage level serves as voltage which can be minimum reached. Therefore, as an alternate long and short dash line shows drawing 25 (A), surfacing of the minimum attainment potential of output signal  $phidr$  resulting from channel resistance of a current source

transistor can prevent \*\*. [ when the external power voltage  $V_{ext}$  is in the voltage level near / which can be operated / the minimum field ] The absolute value of the current drive transistor 3d voltage between the gate-sources can be enlarged enough, and the current drive capacity which is current drive transistor 3d does not decline so much, as shown in drawing 25 (B). Since the minimum attainment voltage of this output signal  $phidr$  is higher than a touch-down voltage level, if it becomes near the minimum field of the external power voltage  $V_{ext}$  which can be operated, the problem of the conventional configuration that that current drive transistor 3d current serviceability declines rapidly is solvable (since the voltage between the gate-sources becomes close to the absolute value of threshold voltage).

[0175] In order to enlarge current drive transistor 3d current drive capacity, it is not necessary to enlarge the channel width  $W$ , and pressure-lowering circuit occupancy area can be reduced. In this case, although the local level-conversion circuit 35 is formed, the MOS transistor which constitutes this local level-conversion circuit 35 only performs a level conversion, that occupancy area is small enough and the increment in circuit occupancy area is fully controlled (when giving sufficient current drive capacity to current drive transistor 3d in the conventional case, that channel width is set to several mm).

[0176] In the pressure-lowering circuit shown in this drawing 24, when making the minimum attainment potential of output signal  $phidr$  of comparator 3c into a touch-down voltage level, it is necessary to operate comparator 3c in the most highly sensitive field. When reference voltage  $V_{ref}$  and the internal electrical power source voltage  $V_{int}$  are given to direct comparator 3c, since such voltage  $V_{ref}$  and  $V_{int}$  is sufficiently higher than touch-down voltage, both the conductance of MOS transistors Q62 and Q63 becomes large, and the response characteristic deteriorates. In order to prevent this, the local level-conversion circuit 35 is formed.

[0177] The p channel MOS transistor Q50 which the local level-conversion circuit 35 is connected between an external power node and Node NDJ, and receives the activation signal ZACT in the gate, The n channel MOS transistor Q51 which is connected between Node NDJ and Node NDK, and receives reference voltage  $V_{ref}$  in the gate, The n channel MOS transistor Q52 which is connected between Node NDJ and Node NDL, and receives the internal electrical power source voltage  $V_{int}$  in the gate, The n channel MOS transistor Q53 by which connects between Node NDK and a touch-down node, and the gate is connected to Node NDK, The n channel MOS transistor Q54 by which connects between Node NDL and a touch-down node, and the gate is connected to Node NDK, The n channel MOS transistor which is connected with the n channel MOS transistor Q55 which is connected between Node NDK and a touch-down node, and receives the activation signal ZACT in the gate between Node NDL and a touch-down node, and receives the activation signal ZACT in the gate is included. The activation signal ZACT is a signal made into L level of the activity period active state of the internal circuitry which consumes the internal electrical power source voltage  $V_{int}$ , for example, is equivalent to the internal row address strobe signal in Standard DRAM. Next, actuation of this local level-conversion circuit 35 is explained.

[0178] When the activation signal ZACT is the non-active state of H level, an OFF state, one side, and MOS transistors Q55 and Q56 will be [ MOS transistor Q50 ] in an ON state, and the level-conversion voltage  $SFV_{in}$  and  $SFV_r$  maintains L level of a touch-down voltage level. By making these MOS transistors Q55 and Q56 into an ON state at the time of deactivation of the activation signal ZACT, it prevents that the internal node in this local level-conversion circuit 35 will be in floating, and generating of the penetration current in this local level-conversion circuit 35 is prevented by making MOS transistor Q0 into an OFF state. Moreover, at this time, the level-conversion voltage  $SFV_{in}$  and  $SFV_r$  is L level of a touch-down voltage level, and generating of the penetration current in comparator 3c is prevented by making MOS transistors Q62 and Q63 in comparator 3c into an OFF state. This reduces the consumed electric current.

[0179] If the activation signal ZACT serves as L level of an active state, MOS transistor Q50 will be in an ON state, MOS transistors Q55 and Q56 will be in an OFF state, and the local level-conversion circuit 35 will start level-conversion actuation. Reference voltage  $V_{ref}$  and

the internal electrical power source voltage  $V_{int}$  are in a voltage level lower than both the external power voltage  $V_{ext}$ . Therefore, MOS transistors Q51 and Q52 operate in a saturation region. The gate and drain interconnect, it gets down, and MOS transistor Q53 operates in a saturation region. MOS transistors Q51-Q54 are equipped with the same size and threshold voltage. The current of the same magnitude flows in MOS transistors Q51 and Q53. Therefore, a degree type is materialized.

[0180]  $(V_{ref}-V_n-V_{th})^2$ ,  $\beta=(V_n-V_{th})^2$ , and  $\beta$  -- here,  $V_n$  shows the voltage of Node NDK. A degree type is called for from a top type.

[0181] One half of the voltage of reference voltage  $V_{ref}$  arises in  $V_n=V_{ref}/2$  [ NDK ], i.e., a node. On the other hand, MOS transistors Q53 and Q54 have the same size, and the current of the same magnitude flows to these MOS transistors Q53 and Q54. It is determined by the voltage of Node NDL whether MOS transistor Q54 operates in a saturation region or it operates in an unsaturated zone. The voltage of Node NDL is stabilized in the condition that the current of the same magnitude as MOS transistors Q52 and Q54 flows. Therefore, a degree type will be obtained if voltage of Node NDL is set to  $V_l$ .

[0182]  $(V_{int}-V_l-V_{th})$  In  $\beta V_{int}-V_l=V_n V_l=V_{int} \cdot V_{ref} [^2, \beta=(V_n-V_{th})^2, \text{ and } ]/2$ , therefore this node NDL, the internal electrical power source voltage  $V_{int}$  and the voltage of the difference of voltage  $V_{ref}/2$  of Node NDK appear. namely, . The internal electrical power source voltage  $SFV_{in}$  by which the level conversion was carried out serves as a voltage level which carried out  $V_{ref}/2$  level shifts of the internal electrical power source voltage  $V_{int}$ , and, on the other hand, the reference voltage  $SFV_r$  by which the level conversion was carried out turns into reference voltage which carried out resistance division by split ratio 2.

[0183] Comparator 3c is comparing this voltage  $(V_{int}-V_{ref}/2)$  with  $V_{ref}/2$ , therefore the comparison of the internal electrical power source voltage  $V_{int}$  and reference voltage  $V_{ref}$  is performed in this comparator 3c (comparator 3c consists of differential amplifiers). By using this local level-conversion circuit 35, when the minimum attainment voltage of output signal phidr of comparator 3c is made into a touch-down voltage level, by comparing the voltage  $SFV_r$  and  $SFV_{in}$  by which the level conversion was carried out, comparator 3c can perform comparison actuation in the most highly sensitive field, and can answer change of the internal supply voltage  $V_{int}$  at high speed.

[0184] [Example 1 of modification] drawing 26 is drawing showing the configuration of the example 1 of modification of the gestalt 4 of operation of this invention. In the configuration shown in this drawing 26, it differs from the configuration shown in drawing 24 in the local level-conversion circuit 35 in that the gate of MOS transistors Q53 and Q54 is connected to Node NDL. Other configurations are the same as the configuration shown in drawing 24, the same reference number is given to a corresponding portion, and the details explanation is omitted.

[0185] In order that MOS transistors Q52 and Q54 may operate in the local level-conversion circuit 35 in a saturation region in a configuration of being shown in this drawing 26, the internal supply voltage  $SFV_{in}$  which is outputted from Node NDL and by which the level conversion was carried out becomes equal to one half of the internal supply voltage  $V_{int}$ . On the other hand, MOS transistor Q51 operates in a saturation region, and since the current of the same magnitude as the current which flows through MOS transistor Q54 flows to this MOS transistor Q51, a degree type is obtained by it in these saturation currents noting that it is equal.

[0186] As shown in  $2=V_{ref} \cdot SFV_r / SFV_{in} = V_{ref} \cdot V_{int} [ V_{int} ] / 2$ , therefore drawing 27, the reference voltage  $SFV_r$  by which the level conversion was carried out to the internal supply voltage  $SFV_{in}$  by which the level conversion was carried out changes according to the internal supply voltage  $V_{int}$  by opposition. Comparator 3c is comparing the supply voltage  $SFV_{in}$  ( $=V_{int}/2$ ) by which the level conversion was carried out to this reference voltage  $SFV_r$  ( $=V_{ref} \cdot V_{int} / 2$ ) by which the level conversion was carried out, and is comparing the voltage level of reference voltage  $V_{ref}$  and the internal electrical power source voltage  $V_{int}$  equivalent. However, since such voltage  $SFV_r$  and  $SFV_{in}$  by which the level conversion was carried out changes by opposition, the input voltage difference to comparator 3c to

fluctuation of the internal supply voltage  $V_{int}$  is expanded, and more correctly, it can control current drive transistor 3d conductance according to change of the internal supply voltage  $V_{int}$ , and can realize the pressure-lowering circuit excellent in the response characteristic.

[0187] In addition, if this supply voltage  $SFV_{in}$  by which the level conversion was carried out becomes higher than the reference voltage  $SFV_r$  by which the level conversion was carried out, in comparator 3c, output signal  $\phi_{idr}$  from Node NDN will serve as H level, and current drive transistor 3d will shift to an OFF state. It is a time of the internal electrical power source voltage  $V_{int}$  becoming equal to reference voltage  $V_{ref}$  that this level-conversion voltage  $SFV_{in}$  and  $SFV_r$  becomes equal.

[0188] [Example 2 of modification] drawing 28 is drawing showing the configuration of the example 2 of modification of the gestalt 4 of operation of this invention. In the pressure-lowering circuit shown in this drawing 28, the level-conversion voltage  $SFV_r$  and  $SFV_{cc}$  which the local level-conversion circuit 35 which carries out the level conversion of the internal supply voltage  $V_{cc}$  and reference voltage  $V_{ref}$  on 505d of internal electrical power source lines outputs is given to comparator 505a. The configuration of the local level-conversion circuit 35 is the same as the configuration shown in drawing 24 or drawing 26. Comparator 505a is the same as the configuration shown in drawing 53, and the same reference number is given to a corresponding portion.

[0189] In the configuration of the pressure-lowering circuit shown in this drawing 28, the voltage  $SFV_r$  and  $SFV_{cc}$  by which the level conversion was carried out from the local level-conversion circuit 35 is given to comparator 505a. Therefore, comparator 505a becomes possible [operating in the most highly sensitive field] (field where the conductance of MOS transistors NQ1 and NQ2 changes a lot according to each gate voltage), and can improve the response characteristic of comparator 505a.

[0190] When the external power voltage  $V_{ext}$  is set to the voltage level near [which can be operated] the minimum field, in order to control the fall of the current serviceability of current drive transistor 505a, it can respond by making sufficiently small channel resistance of the current source transistor NQ3.

[0191] As mentioned above, if the gestalt 4 of implementation of this invention is followed, the reference voltage and internal electrical power source voltage by which the level conversion was carried out using the local level-conversion circuit by performing the level conversion of reference voltage and internal electrical power source voltage will be compared. Since the conductance of a current drive transistor is adjusted according to the comparison result, Also when external power voltage is a voltage level near [which can be operated] the minimum field, a comparator can be operated in the most highly sensitive field, change of internal supply voltage can be answered at a high speed, and the voltage-level fluctuation can be controlled.

[0192] Moreover, the output signal amplitude of a comparator is extensible from external power voltage to a touch-down voltage level by constituting the MOS transistor of the comparison stage of a comparator directly, so that touch-down voltage may be received for that source, even if external power voltage is a voltage level near the minimum of operation, voltage between the gate-sources of a current drive transistor can be enlarged enough, and the fall of the current drive capacity of the current drive transistor in this field can be controlled. moreover, the thing for which it is not necessary to make channel width of a current drive transistor large, and occupancy area is increased -- internal supply voltage can be held to \*\*\*\* stability at a predetermined voltage level.

[0193] Moreover, as a local level-conversion circuit, since the MOS transistor of the same conductivity type is used, circuit occupancy area can be reduced. Moreover, this local level-conversion circuit is a current control comparator circuit, and although current amplification actuation is performed, voltage amplification actuation is omitted. It only realizes comparatively more a resisted part by the ratio of channel resistance of an MOS transistor equivalent, and the level shift of reference voltage and internal supply voltage can perform comparison actuation of a voltage level at high speed, can generate the voltage after a level conversion, and can only realize the pressure-lowering circuit which has a high-speed

response characteristic. Moreover, since all local level-conversion circuits are constituted from an MOS transistor of the same conductivity type, they can make all the temperature characteristics of that component the same, and since the differential amplifier of the output signal of this local level-conversion circuit is carried out by the comparator, they can generate the level-conversion reference voltage and level-conversion supply voltage against which the temperature dependence of the output voltage of these local level-conversion circuits will be set off, and temperature dependence was set off. Thereby, the internal supply voltage according to the temperature characteristic compensation is generable with temperature characteristic compensation of reference voltage.

[0194] [Gestalt 5 of operation] drawing 29 is drawing showing roughly the configuration of the important section of the semiconductor memory according to the gestalt 5 of implementation of this invention. In drawing 29, the configuration of the portions of an internal power circuit and a voltage-level control circuit is shown roughly. In drawing 29, the internal power circuit 20 includes 3s of sense pressure-lowering circuits held to the voltage level as which reference voltages Vrefs and Vrefp determine the sense supply voltage Vcca according to reference voltage Vrefs and the circumference reference voltage Vrefs.

[0195] The change over circuit 4 which the voltage-level control circuit 10 answers change over signal phiSW, chooses either the sense reference voltage Vrefs or the circumference reference voltage Vrefp, and is transmitted to 3s of sense pressure-lowering circuits, Consist of two or more steps of delay circuits (inverter), and the sense activation signal SEN is delayed. The output signal from the delay chain 50 which generates two or more timing signals from two or more internal nodes, and this delay chain 50 is decoded, and the decoding circuit 52 which generates the signal which controls the change in the activity / non-activity of 3s of sense pressure-lowering circuits, and the operating current is included. The sense amplifier circuit 300 is combined and the stabilization capacity 7 used for stabilization of the voltage on the sense power supply line 5 or the charge storage at the time of an exaggerated drive is combined with the sense power supply line 5 by the sense power supply line 5.

[0196] The change over circuit 4 transmits the circumference reference voltage Vrefp to 3s of sense pressure-lowering circuits at the time of the shift to deactivation of the sense activation signal SEN. The decoding circuit 52 increases the operating current of 3s of sense pressure-lowering circuits, and makes that speed of response increase at this time. According to the output signal from the decoding circuit 52, the operating current is increased at the time of sense actuation, and 3s of sense pressure-lowering circuits answers a high speed at it.

[0197] The delay chain 50 includes 1 set of delay circuits (inverter stage) by which series connection was carried out. Two or more control signals are generated by choosing and decoding an output signal with 1 set of these suitable delay circuit stages. This raises reduction of the number of components of the control signal generation section, and reduction of circuit occupancy area. Next, the configuration of each part is explained.

[0198] Drawing 30 is drawing showing an example of the configuration of the delay chain shown in drawing 29, and a decoding circuit. In drawing 30, the delay chain 50 contains the inverter IV0 which reverses the sense activation signal SEN, and the delay inverters DL0-DL19 which receive the output signal of an inverter IV0 and by which cascade connection is carried out. Among the delay inverters DL3 and DL4, the delay change-over switch DSW1 which chooses either the output signal of the delay inverter DL 3 or the output signal of an inverter IV0, and is given to the input section of the delay inverter DL 4 is formed, and the delay change-over switch DSW0 which chooses one side of the output signal of the delay inverter DL 7 and the output signal of an inverter IV0, and is given to the delay inverter DL 8 is formed between the delay inverter DL 7 and the delay inverter DL Between the delay inverter DL 11 and the delay inverter DL 12, the delay change-over switch DSW2 which chooses one side of the output signal of the delay inverter DL 11 and the output signal of an inverter IV0, and is given to the input section of the delay inverter DL 12 is formed.

[0199] Furthermore, the output selection switch SSW0 which chooses one side of the output signal of the delay inverter DL 2 and the output signal of the delay inverter DL 6, and the output change-over switch SSW1 which chooses one side of the output signal of the delay

inverter DL 10 and the output signal of the delay inverter DL 14 are formed. With the output change-over switches SSW0 and SSW1, the time delay of the signal outputted from this delay chain 50 can be changed. Moreover, the delay change-over switches DSW0-DSW2 can adjust the time delay of the delay chain of these delay inverters DL0-DL19. For example, by setting the delay change-over switch DSW0 as the condition of choosing the output signal of an inverter IV0, the delay inverters DL0-DL7 can be short-circuited, and a signal can be transmitted to the delay inverter DL 8. In drawing 30, the delay change-over switches DSW0-DSW2 are set as the condition of choosing the output signal of a delay inverter, respectively, and the delay inverters DL0-DL19 constitute the delay chain by which cascade connection is carried out.

[0200] 2 input NAND-circuit NG1 in which the decoding circuit 52 receives the output signal of an inverter IV0, and the output signal of the delay inverter DL 19, The inverter IV1 which reverses the output signal of NAND-circuit NG1, and outputs the pressure-lowering actuation activation signal ZACT, The inverter IV2 which reverses the output signal of an inverter IV0, and 2 input NAND-circuit NG2 which receives the output signal of the output change-over switch SSW1, and the output signal of the output change-over switch SSW0, 2 input NAND-circuit NG3 which receives the output signal of an inverter IV2, and the output signal SDT of NAND-circuit NG2, 2 input NAND-circuit NG4 which receives the output signal of an inverter IV0, and the output signal ODT of the output change-over switch SSW0, The inverter IV3 which reverses the output signal of 2 input NAND-circuit NG5 which receives the output signal of NAND circuits NG3 and NG4, and NAND-circuit NG5 is included. From an inverter IV3, the signal ZSPEED to which the operating current is made to increase is outputted.

[0201] As shown in drawing 30, in order to generate Signals ZACT and ZSPEED, by considering as the configuration which shares the delay inverter of a delay chain, the number of the delay inverters for generating two or more control signals can be reduced, and circuit occupancy area and the consumed electric current can be reduced.

[0202] Drawing 31 is drawing showing roughly the configuration of 3s of sense pressure-lowering circuits shown in drawing 29. Comparator 3sa which compares with the sense supply voltage Vccs on the sense power supply line 5 the reference voltage Vref to which 3s of sense pressure-lowering circuits is given from the change over circuit 4 in drawing 31, Current drive transistor 3sb which supplies current to the sense power supply line 5 from an external power node according to the output signal of comparator 3sa, N channel MOS transistor 3sc which receives the sense activation signal ZACT in the gate through an inverter IV5, and operates as a current source over comparator 3sa, A control signal ZSPEED is received in the gate through an inverter IV6, and n channel MOS transistor 3sd to which the operating current of comparator 3sa is made to increase is included. The configuration of comparator 3sa may be the conventional configuration, and may be a configuration in the gestalt 3 of this operation. Although the configuration is explained later, even if it is which circuitry, it is applicable to the gestalt 4 of this operation.

[0203] When the activation signal ZACT serves as L level of an active state, the output signal of an inverter IV5 will serve as H level, MOS transistor 3sc will be in an ON state, the path to which current flows to comparator 3sa is formed, and comparison actuation is made to start in 3s of sense pressure-lowering circuits shown in this drawing 31. On the other hand, when a control signal ZSPEED serves as L level of an active state, MOS transistor 3sd will be in an ON state, operates as this current source transistor of comparator 3sa, and makes the operating current of comparator 3sa increase through an inverter IV6. When a control signal ZSPEED is an active state, the working speed of comparator 3sa becomes quick, and it corresponds to a high speed at change of the sense supply voltage Vccs on this sense power supply line 5.

[0204] Next, the circuit actuation shown in this drawing 30 and drawing 31 is explained with reference to the signal waveform diagram shown in drawing 32. If the sense activation signal SEN starts on H level from L level, the output signal of an inverter IV0 will fall to L level. It will respond, the output signal of NAND-circuit NG1 will serve as H level, the

activation signal ZACT from an inverter IV1 will serve as L level, MOS transistor 3sc shown in drawing 31 will be in an ON state, and comparator 3sa starts comparison actuation. On the other hand, the output signal of NAND-circuit NG4 starts on H level. Since the output signal of the output change-over switch SSW0 is L level, Signal SDT is H level, and on the other hand, the output signal of an inverter IV2 also serves as H level. Therefore, the output signal of NAND-circuit NG3 serves as L level, the output signal of NAND-circuit NG5 serves as L level, and the output signal ZSPEED from an inverter IV3 falls to L level.

[0205] If the time delay which an inverter IV0 and the delay inverters DL0-DL6 have passes after the sense activation signal SEN starts on H level, the signal ODT outputted from the output change-over switch SSW0 will start on H level. However, in this condition, the output signal of an inverter IV0 is L level, and the output signal of NAND-circuit NG4 does not change. If the time delay which the delay inverters DL7-DL14 have passes after the signal ODT from the output change-over switch SSW0 starts on H level, the output signal of the output change-over switch SSW1 will start on H level, both the output signals of NAND-circuit NG2 will serve as H level, and the output signal of a fall and NAND-circuit NG3 will serve as [ Signal SDT ] H level at L level. It responds, both the inputs of NAND-circuit NG5 serve as H level, the output signal of NAND-circuit NG5 serves as L level, it responds and the signal ZSPEED from an inverter IV3 starts on H level.

[0206] Therefore, after the sense activation signal SEN is activated, Signal ZSPEED maintains the active state of L level until the time delay which the delay inverters DL0-DL14 have passes. In the meantime, the operating current of comparator 3sa increases and it corresponds to change of the sense supply voltage Vccs at high speed.

[0207] Since Signal ODT is H level when a fall and a sense amplifier are deactivated for the sense activation signal SEN by L level from H level, the output signal of NAND-circuit NG4 serves as L level, it responds and Signal ZSPEED falls to L level with NAND-circuit NG5 and an inverter IV3. After this sense activation signal SEN falls to L level, when the time delay which the delay inverters DL0-DL14 have passes, as for the output signal of a fall and NAND-circuit NG4, Signal ODT is fixed to L level by H level from H level. If Signal ODT falls to L level, it will respond and the output signal SDT from NAND-circuit NG2 will start on H level. The output signal of an inverter IV2 is L level, and the output signal of NAND-circuit NG3 maintains H level. On the other hand, NAND-circuit NG4 starts the output signal on H level according to the signal ODT of L level, it responds and the output signal of NAND-circuit NG5 serves as L level, it responds and Signal ZSPEED starts on H level. Therefore, the control signal ZSPEED between the time delays which delay inverter DL0-DL6 has is held at the active state of L level at the time of the shift to the non-active state of the sense activation signal SEN from an active state. Therefore, at the time of the completion of sense amplifier actuation, again, this operating current of comparator 3sa increases, current is supplied to the sense power supply line 5 at high speed, it considers as the so-called exaggerated drive condition, and the sense supply voltage Vccs is charged by circumference supply voltage Vccp level. At this time, change over signal phiSW answers deactivation of the sense activation signal SEN, and activation of a control signal ZPEED, and is generated, and the circumference reference voltage Vrefp is chosen as reference voltage Vref. By this, preliminary charge of the voltage on the sense power supply line 5 is carried out on circumference supply voltage Vccp level at the time of the completion of sense actuation, the voltage-level fall of the sense supply voltage Vccs at the time of sense actuation is controlled, and sense actuation is performed at high speed.

[0208] The activation signal ZACT is driven to the non-active state of H level, after the time delay which the delay inverters DL0-DL19 have further after the sense activation signal SEN shifts to a non-active state from an active state passes.

[0209] Therefore, the pulse signal which answers each activation and deactivation of the sense activation signal SEN, and is driven to an active state is easily generable by choosing the output signal of this delay chain 50, and decoding in the decoding circuit 52. Moreover, this decoding circuit can be answered and activated at coincidence at activation of the sense activation signal SEN, and deactivation of this sense activation signal SEN can be answered,

and the pressure-lowering circuit activation signal ZACT which shifts to a non-active state can be generated after predetermined time progress (after the completion of exaggerated drive actuation).

[0210] Drawing 33 is drawing showing an example of the configuration of the portion which generates change over signal phiSW given in the change over circuit 4 shown in drawing 29. In drawing 33, a change over signal generator contains NOR-circuit GT1 which receives Signal SDT and the sense activation signal SEN. When change over signal phiSW outputted from this NOR-circuit GT1 is H level, the circumference reference voltage Vrefp is chosen, and when change over signal phiSW is L level, the reference voltage Vrefs for sense is chosen. This NOR-circuit GT1 is constituted so that the output signal of an inverter IV2 and the output signal of NAND-circuit NG2 which it is contained in the decoding circuit 52 shown in drawing 29, for example, are shown in drawing 30 may be received. Therefore, since the sense activation signal SEN and a control signal SDT serve as L level, the circumference reference voltage Vrefp is chosen, and only the period which performs an exaggerated drive is given in a sense pressure-lowering circuit, and can carry out the pressure up of the sense supply voltage Vccs on the sense power supply line 5 in the meantime, so that clearly from the signal waveform diagram shown in drawing 32. Since the sense activation signal SEN serves as H level at the time of sense actuation of normal operation, change over signal phiSW is L level, and the sense reference voltage Vrefs is chosen.

[0211] [Example 1 of modification] drawing 34 is drawing showing the configuration of the example 1 of modification of the gestalt 5 of operation of this invention. 3s of sense pressure-lowering circuits shown in this drawing 34 contains current drive transistor 3d which supplies current to the sense power supply line 5 from an external power node according to the output signal of comparator 3c which compares the voltage by which the level conversion was carried out and comparator 3c from the local level-conversion circuit 35 which changes the level of reference voltage Vref and the sense supply voltage Vccs on the sense power supply line 5, and this local level-conversion circuit 35.

[0212] MOS transistors Q62 and Q63 in which comparator 3c receives the voltage from the local level-conversion circuit 35 are combined with a touch-down node. Therefore, drive control signal phidr given at the current drive transistor 3d gate can be driven even to a touch-down voltage level like the pressure-lowering circuit shown in drawing 26. As a current source, MOS transistors Q60 and Q61 which constitute current Miller circuit, the p channel MOS transistor Q70 which receives the activation signal ZACT in the gate between external power nodes, and the p channel MOS transistor Q71 which receives a control signal ZSPEED in the gate are formed. MOS transistors Q60 and Q61 can discharge the current supplied from these current source transistors Q70 and Q71.

[0213] By using the configuration shown in this drawing 34, a control signal ZSPEED can be driven to an active state at the time of sense amplifier actuation, and the operating current can be enlarged, and the operating current can be enlarged according to a control signal ZSPEED at the time of the exaggerated drive after the completion of sense actuation, and the voltage level of the sense supply voltage Vccs can be raised at high speed.

[0214] In addition, between this sense power supply line 5 and a touch-down node, the n channel MOS transistor Q73 which is combined between the touch-down nodes of the n channel MOS transistor Q72 and MOS transistor Q72 which that gate is combined with an external power node, and operate as a resistance element, and receives the activation signal ZACT in the gate through an inverter IV7 is formed. MOS transistor Q73 is made into an OFF state at the time of the non-active state of 3s of sense pressure-lowering circuits (at the time of a standby cycle), it prevents that current flows from the sense power supply line 5 to a touch-down node, and reduction of the consumed electric current is aimed at. Moreover, by enlarging the resistance of MOS transistor Q72, it controls that current flows from the sense power supply line 5 to a touch-down node at the time of actuation of 3s of sense pressure-lowering circuits, and prevents that the sense supply voltage Vccs rises too much, and the sense supply voltage Vccs is correctly transmitted to the local level-conversion circuit 35.

[0215] [Example 2 of modification] drawing 35 is drawing showing roughly the configuration of the example 2 of modification of the gestalt 5 of operation of this invention. In the configuration shown in drawing 35 the internal power circuit 1 3s of sense pressure-lowering circuits which generate the sense supply voltage  $V_{ccs}$  according to reference voltage  $V_{refs}$ , Circumference pressure-lowering circuit 3p which generates the circumference supply voltage  $V_{ccp}$  according to the circumference reference voltage  $V_{refp}$ , The change over circuit 4 which chooses one side of the supply voltage  $V_{ccs}$  and  $V_{ccp}$  from 3s of sense pressure-lowering circuits and circumference pressure-lowering circuit 3p according to change over control signal  $\phi SW$ , and is transmitted as sense supply voltage (array supply voltage)  $V_{cca}$  on the sense power supply line 5 is included.

[0216] The voltage-level control circuit 10 decodes the predetermined delay signal of the delay chain 50 delayed in an internal cycle initiation indication signal, and this delay chain 50, and includes the decoding circuit 52 which generates the signal which controls the operating current of 3s of sense pressure-lowering circuits, and circumference pressure-lowering circuit 3p, and activity/deactivation. The delay chain 50 generates a sense amplifier activation signal according to the memory cycle activation signal CMA, is delayed in the sense amplifier activation signal of a parenthesis, and generates each control signals ZACT, ZSPDS, and RAS and ZSPDP. Next, it explains with reference to the signal waveform diagram showing actuation of the internal power circuit shown in this drawing 35 in drawing 36

[0217] If the memory cycle activation signal CMA serves as H level of an active state, the internal memory cell line selection actuation initiation indication signal RAS will drive to the active state of H level. Selection of a memory cell line is performed in a memory cell array. Moreover, circumference pressure-lowering circuit 3p is activated.

[0218] Subsequently, if predetermined time passes, the sense amplifier activation signal SEN will drive to the active state of H level, and the sense amplifier circuit 300 shown in drawing 35 will be activated. Activation of this sense activation signal SEN is answered, the activation signal ZACT drives to the active state of L level, and 3s of sense pressure-lowering circuits starts pressure-lowering actuation. Activation of this activation signal ZACT is answered and the control signal ZSPDS from the decoding circuit 52 drives to the active state of predetermined period L level. By this, the operating current is enlarged in 3s of sense pressure-lowering circuits, it operates at high speed, and the sense current at the time of sense amplifier actuation is compensated. If sense actuation of the sense amplifier circuit 300 is completed and it will be in the latch condition of memory cell data, a control signal SPDS will be in the non-active state of H level, and, as for 3s of sense pressure-lowering circuits, the operating current will be reduced.

[0219] If a memory cycle is completed, the memory cycle activation signal CMA will drive to the non-active state of L level, will respond, and the sense activation signal SEN will drive to the non-active state of L level. The sense amplifier circuit 300 will be in a non-active state, and the activation signal ZACT will be in the non-active state of H level, and 3s of sense pressure-lowering circuits suspends the pressure-lowering actuation.

[0220] On the other hand, deactivation (L level) of this memory cycle activation signal CMA is answered, a control signal ZSPDP drives to the active state of L level, and the operating current of circumference pressure-lowering circuit 3p increases (circumference pressure-lowering circuit 3p is activated by Signal RAS). The change over circuit 4 chooses the circumference supply voltage  $V_{ccp}$  from circumference pressure-lowering circuit 3p according to change over signal  $\phi SW$ , and transmits it to the sense power supply line 5. Therefore, since that operating current is enlarged, this circumference pressure-lowering circuit 3p charges the sense power supply line 5 according to that big operating current even at circumference supply voltage  $V_{ccp}$  level at high speed. If a control signal ZSPDP is deactivated and the exaggerated drive of the sense power supply line 5 is completed, the memory cell line selection actuation initiation indication signal RAS will be in the non-active state of L level, and circumference pressure-lowering circuit 3p will be in a non-active state, and will suspend pressure-lowering actuation.

[0221] In the configuration shown in this drawing 35, at the time of actuation of the sense amplifier circuit 300, the operating current of 3s of sense pressure-lowering circuits is enlarged with a control signal ZSPDS, and at the time of memory cycle completion, i.e., deactivation of the sense amplifier circuit 300, the operating current of circumference pressure-lowering circuit 3p is enlarged, and the exaggerated drive of the sense power supply line 5 is carried out (the stabilization capacity 7 is charged at high speed). Such control signals ZACT, RAS, and ZSDPS and ZSPDP are generated using the delay chain 50 and the decoding circuit 52.

[0222] Drawing 37 is drawing showing roughly the configuration of the delay chain 50 shown in drawing 35, and the decoding circuit 52. In drawing 37, the delay chain 50 includes three steps of delay stages 50a, 50b, and 50c by which cascade connection is carried out. These delay stages 50a-50c are delayed in the predetermined time memory cycle activation signal CMA, respectively.

[0223] The decoding circuit 52 contains inverter 52d which reverses the output signal of OR circuit 52a which receives the memory cycle activation signal CMA and the output signal of delay stage 50a, inverter 52b which reverses the output signal of delay stage 50a, OR circuit 52c which receives the output signal of inverter 52b, and the memory cycle activation signal CMA, and OR circuit 52c. The internal memory cell line selection actuation initiation indication signal RAS is outputted from OR circuit 52a, a control signal ZSPDP is outputted from OR circuit 52c, and change over indication signal phiSW is outputted from inverter 52d. The memory cell line selection actuation initiation indication signal RAS will be driven to an active state, if the memory cycle activation signal CMA drives to an active state, and subsequently, it is held at an active state until the output signal of delay stage 50a drives to a non-active state. Therefore, this signal RAS is driven to a non-active state after the time delay progress which delay stage 50a has, after the memory cycle activation signal CMA is deactivated. If the memory cycle activation signal CMA is deactivated, a control signal ZSPDP will be held at L level until the output signal of delay stage 50a reaches the non-active state of L level. Therefore, this control signal ZSPDP will be driven to the active state of L level between the time delays which delay stage 50a has, if a memory cell cycle is completed. Change over signal phiSW serves as L level, and makes the circumference supply voltage Vccp from circumference pressure-lowering circuit 3p choose in the change over circuit 4 shown in drawing 35 at the time of activation of this control signal ZSPDP.

[0224] The decoding circuit 52 includes 52h of NAND circuits which receive further inverter 52g which reverses AND-circuit 52e which receives the memory cycle activation signal CMA and the output signal of delay stage 50b, the memory cycle activation signal CMA, and 52f of NAND circuits which receive the output signal of delay stage 50b and the output signal of delay stage 50c, the output signal of delay stage 50b, and an inverter 52g output signal. The sense activation signal SEN is outputted from AND-circuit 52e. Therefore, after the memory cycle activation signal CMA drives to H level of an active state, this sense activation signal SEN is driven to an active state, after the time delay which the delay stages 50a and 50b have passes, answers deactivation of the memory cycle activation signal CMA, and is driven to a non-active state.

[0225] The activation signal ZACT is outputted from 52f of NAND circuits. This activation signal ZACT is driven on L level of the almost same period active state as the sense activation signal SEN. A control signal ZSPDS is outputted from 52h of NAND circuits. This control signal ZSPDS will be driven on L level of the active state between the time delays which delay stage 50c has, if the output signal of delay stage 50b serves as H level (i.e., if the sense activation signal SEN is activated). By this, the operating current of 3s of sense pressure-lowering circuits is increased at the time of sense actuation, a speed of response is made quick, and the fall of sense supply voltage is controlled.

[0226] In addition, in the case of Standard DRAM, in the case of the clock synchronous type semiconductor memory which drives to an active state according to row address strobe signal ext/RAS from the outside, and operates synchronizing with a clock signal, the memory cycle activation signal CMA answers the active command given from the outside, is driven to an

active state, answers a precharge command, and is driven to a non-active state. [0227] In addition, 3s of sense pressure-lowering circuits and circumference pressure-lowering circuit 3p are activated, respectively at the time of activation of the activation signals ZACT and RAS, and when control signals ZSPDS and ZSPDP are active states, the operating current of 3s of sense pressure-lowering circuits and circumference pressure-lowering circuit 3p is increased, respectively. Any of a configuration of that the configuration of 3s of these sense pressure-lowering circuits and circumference pressure-lowering circuit 3p is shown in drawing 31 and drawing 34 may be used. The activation signal ZACT (or RAS) and a control signal ZSPDS (or ZSPDP) should just be given to a current source transistor.

[0228] Moreover, the change over circuit 4 can consist of usual CMOS transmission gates.

[0229] If the gestalt 5 of implementation of this invention is followed, as mentioned above, from one signal Since two or more timing signals are generated using delay \*\*\*\* and the signal which decodes two or more of these timing signals, and controls the operating current of a pressure-lowering circuit, and activity / non-activity is generated, It is not necessary to establish a delay circuit in each control signal for controlling the control signal and the operating current for controlling this activity / non-activity, and the number of circuit elements can be reduced, it can respond and circuit occupancy area and the consumed electric current can be reduced.

[0230] [Gestalt 6 of operation] drawing 38 is drawing showing the configuration of the important section of the semiconductor memory according to the gestalt 6 of implementation of this invention. In drawing 38, the power supply level judging circuit 60 for activating the pressure-lowering circuit 3 compulsorily is formed until the interior supply voltage Vint of powering-on backward reaches a predetermined voltage level. This power supply level judging circuit 60 receives the external power voltage Vext, the internal electrical power source voltage Vint, and reference voltage Vref, and judges whether the internal electrical power source voltage Vint reached the predetermined voltage level. If it judges with the internal electrical power source voltage Vint having reached the predetermined voltage level from relation with the external power voltage Vext, the compulsive activation signal ZPUP will drive to H level. NAND circuit 62 receives the activation signal ZACT and the compulsive activation signal ZPUP from the power supply level judging circuit 60, and when these one side is active states, it drives the pressure-lowering circuit 3 to an active state. This pressure-lowering circuit 3 may be any of a sense pressure-lowering circuit and a circumference pressure-lowering circuit, and that configuration may be equipped with the configuration explained in the gestalt 4 of previous operation, and may be equipped with the same configuration as the conventional internal pressure-lowering circuit.

[0231] Since the powering-on detecting signal POR is not used by using this power supply level judging circuit 60, there is no direct connection of an external power node and an internal electrical power source line, and it can prevent that the internal supply voltage Vint drives on external power voltage Vext level, and the internal supply voltage Vint can be changed according to reference voltage Vref, and it can prevent that excessive voltage is impressed to an internal circuitry.

[0232] Drawing 39 is drawing showing the concrete configuration of the power supply level judging circuit 60 shown in drawing 38. In drawing 39 the power supply level judging circuit 60 CMOS inverter 60a which operates reference voltage Vref as supply voltage of operation on the other hand, and reverses the internal electrical power source voltage Vint, N channel MOS transistor 60b which discharges a node A2 to a touch-down voltage level according to the output signal of CMOS inverter 60a, CMOS inverter latch 60c for latching the voltage of a node A2 and A3, CMOS inverter 60e which reverses n channel MOS transistor 60d which discharges node A3 to a touch-down voltage level according to the internal electrical power source voltage Vint, and the signal level on node A3, and outputs the compulsive activation signal ZPUP is included.

[0233] CMOS inverter latch 60c contains the CMOS inverter containing the p channel MOS transistor Q60 and the n channel MOS transistor Q62 by which connect between power-node PS and the touch-down nodes which receive the external power voltage Vext, and each gate is

connected to node A3, and the CMOS inverter with which it connects between the external power node PS and a touch-down node, and each gate contains a connection \*\*\*\* p channel MOS transistor and the n channel MOS transistor Q63 in a node A2. [0234] Reference voltage Vref is used in order to generate the internal electrical power source voltage Vint in the pressure-lowering circuit 3, and it is generated from the external power voltage Vext (the gestalt 1 of operation, and 2 reference). On the other hand, CMOS inverter latch 60c and CMOS inverter 60e operate the external power voltage Vext given to the external power node PS as supply voltage of operation. When reference voltage Vref is earlier than the internal electrical power source voltage Vint, it is reached and stabilized to a predetermined voltage level. Next, it explains with reference to the signal waveform diagram showing actuation of the power supply level judging circuit 60 shown in this drawing 39 in drawing

40

[0235] Powering on is performed in time of day t0, and the voltage level of the external power voltage Vext of the external power node PS rises. In immediately after powering on, since the power surge speed of reference voltage Vref is quicker than the power surge speed of the internal electrical power source voltage Vint, in CMOS inverter 60a, the conductance of a p channel MOS transistor is larger than the conductance of an n channel MOS transistor, and the voltage level of the output signal of CMOS inverter 60a rises according to the level rise of reference voltage Vref. On the other hand, in CMOS inverter latch 60c, immediately after powering on, the p channel MOS transistors Q60 and Q61 are in an ON state (the voltage between the gate-sources is larger than the absolute value of the threshold voltage), and the voltage level of a node A2 and A3 rises according to the rise of the voltage level of the external power voltage Vext. Moreover, also in CMOS inverter 60e, the conductance of a p channel MOS transistor is larger than the conductance of an n channel MOS transistor, and the voltage level of the compulsive activation signal ZPUP rises gently. Although this voltage level is exaggeratingly shown in drawing 40, it is very low, and NAND circuit 62 shown in drawing 38 judges this compulsive activation signal ZPUP to be L level, and makes that output signal H level. Thereby, the pressure-lowering circuit 3 maintains an active state, performs comparison actuation of reference voltage Vref and the internal electrical power source voltage Vint, and raises the voltage level of the internal electrical power source voltage Vint.

[0236] In time of day t1, if the voltage level of the output signal of CMOS inverter 60a becomes higher than the threshold voltage of n channel MOS transistor 60b, MOS transistor 60b will be in an ON state, and a node A2 will drive to a touch-down voltage level by n channel MOS transistor 60b and Q62. N channel MOS transistor 60d, it is used for the voltage-level judging of the internal electrical power source voltage Vint, and the threshold voltage or current driving force is made highly or smaller than that of n channel MOS transistor 60b. If a node A2 drives to a touch-down voltage level, in CMOS inverter latch 60c, the n channel MOS transistor Q63 will be in an OFF state, on the other hand, the p channel MOS transistor Q61 will be in stronger switch-on, node A3 will be combined with the external power node PS, and the voltage level will be raised even on external power voltage Vext level. Moreover, since the voltage level of node A3 rises on external power voltage Vext level, in CMOS inverter 60e, an OFF state and an n channel MOS transistor will be [ a p channel MOS transistor ] in an ON state, and the compulsive activation signal ZPUP drives to a touch-down voltage level.

[0237] In CMOS inverter 60b, the conductance of an n channel MOS transistor becomes larger than the conductance of a p channel MOS transistor, and the voltage level of the output signal of CMOS inverter 60a falls, and finally it drives to a touch-down voltage level as the voltage level of the internal electrical power source voltage Vint rises (since the difference of reference voltage Vref and the internal electrical power source voltage Vint becomes smaller than the difference of the internal electrical power source voltage Vint and touch-down voltage). Thereby, n channel MOS transistor 60b will be in an OFF state, and a node A2 is held at a touch-down voltage level with the n channel MOS transistor Q62 contained in CMOS inverter latch 60c. On the other hand, node A3 is held with the p channel

MOS transistor Q61 at the voltage level of the external power voltage Vext. [0238] If the voltage level of the internal electrical power source voltage Vint rises, the n channel MOS transistor 60d conductance which receives this internal electrical power source voltage Vint in the gate will become large. If this n channel MOS transistor 60d conductance becomes larger than that of the p channel MOS transistor Q61 which charges node A3 at external power voltage Vext level, the voltage level of node A3 will begin to fall. [0239] If the voltage level of the internal electrical power source voltage Vint given to a node A1 reaches a predetermined voltage level in time of day t2 N channel MOS transistor 60d conductance becomes sufficiently large. The voltage level of node A3 falls further, and respond and the current supply capability of the p channel MOS transistor Q60 becomes larger than the current supply capability of the n channel MOS transistor Q62. The voltage level of a node A2 rises and the p channel MOS transistor Q61 shifts to an OFF state. By these actuation of a series of, the latch condition of CMOS inverter latch 60c is reversed, the voltage level of node A3 turns into a touch-down voltage level, and, on the other hand, a node A2 serves as a voltage level of the external power voltage Vext. By the fall of the voltage level of node A3, the compulsive activation signal ZPUP from CMOS inverter 60e starts on H level of external power voltage Vext level. The output signal of NAND circuit 62 shown in drawing 38 serves as L level by this, and, as for the pressure-lowering circuit 3, pressure-lowering actuation is suspended.

[0240] Although, as for the predetermined voltage level of the internal electrical power source voltage Vint, reference voltage Vref is set below to the voltage level, the internal electrical power source voltage Vint is driven by the standby pressure-lowering circuit which always which is not illustrated operates, and reaches an almost predetermined voltage level.

[0241] Moreover, if there is a time delay until the voltage level of a node A2 and A3 changes and the compulsive activation signal ZPUP drives to a non-active state after the internal electrical power source voltage Vint reaches a predetermined voltage level in this time of day t2, you may make it the internal electrical power source voltage Vint reach a predetermined voltage level using that time delay. Thereby, internal supply voltage can be initialized to a power up to an internal electrical power source line, without transmitting the external power voltage Vext directly.

[0242] As shown in drawing 39, the internal node A2 and A3 can be certainly set as an initial state by using the reference voltage Vref from which CMOS inverter 60a changes on the other hand sufficiently more nearly gently as supply voltage of operation than the external power voltage Vext.

[0243] Moreover, if the external power voltage Vext will be in a stable state and the internal electrical power source voltage Vint reaches a predetermined voltage level, the gate voltage of MOS transistor Q61 and 60d of MOS transistors will adjust such current driving force, and it will have judged whether based on the voltage level of the external power voltage Vext, the internal electrical power source voltage Vint reached the predetermined voltage level as a result. The current driving force of 60d of MOS transistors or threshold voltage is adjusted, and the judgment level of the internal electrical power source voltage Vint is determined. However, judgment actuation is performed based on the difference of n channel MOS transistor 60d [ for discharging MOS transistor Q61 and this node A3 for charging node A3 of CMOS inverter latch 60c ] current driving force, and has detected the voltage level of the internal electrical power source voltage Vint as a result based on the voltage level of the external power voltage Vext. Thereby, stable internal electrical power source voltage detection actuation is realized.

[0244] In CMOS inverter 60a, when the external power voltage Vext is used as supply voltage of operation on the other hand, with a voltage level with the internal electrical power source voltage Vint lower than the external power voltage Vext, in CMOS inverter 60a, current always flows, and the consumed electric current becomes large. Moreover, even if the interior supply voltage Vint of a metaphor reaches a predetermined voltage level, the output signal of CMOS inverter 60a does not discharge to a touch-down voltage level (n channel MOS transistor 60b cannot be set as a perfect OFF state). Therefore, when the internal

supply voltage Vint reaches a predetermined voltage level, the latch condition of this CMOS inverter latch 60c cannot be reversed. When the internal supply voltage Vint reaches a predetermined voltage level at high speed by using the reference voltage Vref which is a voltage level below the internal supply voltage Vint, and is generated from the external power voltage Vext, the latch condition of CMOS inverter latch 60c can be reversed (since MOS transistor 60b can be completely made into an OFF state).

[0245] [Example of modification] drawing 41 is drawing showing the configuration of the example of modification of the power supply level judging circuit 60 shown in drawing 39. In the power supply level judging circuit 60 shown in this drawing 41, 60f of RC delay circuits which receive the internal supply voltage Vint in the input node A1 of CMOS inverter 60a is prepared. 60f of this RC delay circuit contains a resistance element and an MOS capacitor. Other configurations are the same as the configuration shown in drawing 39, the same reference number is given to a corresponding portion, and the details explanation is omitted.

[0246] In the configuration shown in this drawing 41, the change speed of the signal level of the input node A1 of CMOS inverter 60a can be adjusted by 6f of RC delay circuits. Therefore, the time amount t2 by which the compulsive activation signal ZPUP in the signal waveform diagram shown in drawing 40 is deactivated can be set as suitable timing. Moreover, once raising the voltage level of the internal latch node A2 and A3 certainly by adjusting the voltage change speed of the input node A1 according to the change speed of reference voltage Vref, it can be set as L level and H level, respectively. It can prevent going into the internal latch condition which the latch was performed by this in the internal latch node A2 and the condition with the unstable voltage level of A3, and CMOS inverter latch 60c mistook, and exact circuit actuation can be guaranteed. Moreover, it controls starting internal latch actuation accidentally [function as a low pass filter / as opposed to / even if the circuit which uses this internal electrical power source voltage Vint after, as for 60f of RC delay circuits, the internal electrical power source voltage Vint starts operates, the consumed electric current increases temporarily and it changes the internal electrical power source voltage Vint rapidly / the voltage variation of the RF of such internal electrical power source voltage Vint /, and / circuit / 60 / power supply level judging ].

[0247] [Example 2 of modification] drawing 42 is drawing showing roughly the configuration of the example 2 of modification of the gestalt 6 of operation of this invention. In the configuration shown in drawing 42, in order to control the activity / non-activity of circumference pressure-lowering circuit 3p, the compulsive activation signal ZPUP from the power supply level judging circuit 60 is given through a gate circuit 62. The power supply level judging circuit 60 receives the sense reference voltage Vrefs, and initializes certainly the latch node A2 and A3 of CMOS inverter latch 60c which are shown in drawing 39 or drawing 41 with the relation between this sense reference voltage Vrefs and the circumference supply voltage Vccp. The sense reference voltage Vrefs reaches a stable state later than the external power voltage Vext, and shifts to a stable state to timing quicker than the circumference supply voltage Vccp. Therefore, exact level judging actuation can be performed by judging the voltage level of the circumference supply voltage Vccp using this sense reference voltage Vrefs and the external power voltage Vext.

[0248] Especially the circumference supply voltage Vccp is given directly to the MOS transistor which is the component of a circumference circuit. Therefore, in a power up, when the external power voltage Vext is impressed directly, a possibility that element destruction will arise is high. By using the configuration shown in this drawing 42, the element destruction by the high-voltage impression in the power up of a circumference circuit can be prevented. Sense supply voltage is transmitted to a sense amplifier through a sense amplifier activation transistor. Moreover, there are few possibilities that many sense amplifiers connect with a sense power supply line, load-carrying capacity is large, and will not produce a rapid power surge (since load-carrying capacity is large), but the element destruction resulting from the rapid sense supply voltage rise in a power up will arise. Therefore, the element destruction in the power up of the internal circuitry of a semiconductor memory can be prevented by giving the compulsive activation signal ZPUP from the power supply level

judging circuit 60 to this circumference pressure-lowering circuit, and controlling its activity / non-activity.

[0249] In addition, in the configuration shown in this drawing 42, it may be used for compulsive activation of the compulsive activation signal ZPUP from the power supply level judging circuit 60 of 3s of sense pressure-lowering circuits.

[0250] Moreover, the sense reference voltage Vrefs is a voltage level lower than the circumference supply voltage Vccp (at the time of stabilization), and can carry out drive maintenance of the output signal for CMOS inverter 60a shown in drawing 39 or drawing 41 certainly at L level at the time of stabilization.

[0251] Moreover, the output signal of NAND circuit 62 is given at the gate of the current source transistor of the internal pressure-lowering circuit of the internal electrical power source circuit in the gestalt 4 of previous operation.

[0252] [Example 3 of modification] drawing 43 is drawing showing roughly the configuration of the example 3 of modification of the gestalt 6 of operation of this invention. In the configuration shown in this drawing 43, the voltage-level control circuit 10 includes the power supply level judging circuit 70 which detects the voltage level of the internal supply voltage Vint using the voltage of the external power voltage Vext. If the internal electrical power source voltage Vint and the external power voltage Vext fill predetermined relation, the power supply level judging circuit 70 will drive the compulsive activation signal ZPUP to a non-active state. Between active states, the pressure-lowering circuit 3 performs pressure-lowering actuation, and this compulsive activation signal ZPUP generates the internal electrical power source voltage Vint of reference voltage Vref level from the external power voltage Vext.

[0253] As shown in this drawing 43, stable voltage-level detection actuation is guaranteed by detecting the voltage level of the internal supply voltage Vint using the external power voltage Vext stabilized to the quickest timing in equipment.

[0254] Drawing 44 is drawing showing the concrete configuration of the power supply level judging circuit 70 shown in drawing 43. In drawing 44 the power supply level judging circuit 70 Capacitive element 70a connected between node A5 and a touch-down node, and CMOS inverter 70b which, on the other hand, operates the external power voltage Vext given to the external power node PS as supply voltage of operation, and receives the signal on node A5, P channel MOS transistor 70c which combines node A5 and the external power node PS alternatively according to the output signal of CMOS inverter 70b given on a node A6, 70d of CMOS inverters which receive the output signal of CMOS inverter 70b which, on the other hand, operates the external power voltage Vext given from the external power node PS as supply voltage of operation, and is given to a node A6, CMOS transmission gate 70e which answers a CMOS inverters [ 70b and 70d ] output signal, flows alternatively, and transmits the internal electrical power source voltage Vint to node A5 alternatively, 70f of comparison latch circuits which latch the signal which compares the signal level on node A5 and A6, and shows this comparison result, On the other hand, the external power voltage Vext given to the external power node PS is operated as supply voltage of operation, and 70g of CMOS inverters which reverse the signal on the output node A7 of 70f of comparison latch circuits, and output the compulsive activation signal ZPUP is included.

[0255] CMOS inverters [ 70b, 70d, and 70g ] each contains the p channel MOS transistor and n channel MOS transistor which are connected between the external power node PS and a touch-down node. CMOS transmission gate 70e contains the p channel MOS transistor which is connected to the n channel MOS transistor which receives the output signal of CMOS inverter 70b in the gate, this n channel MOS transistor, and juxtaposition, and receives the output signal of 70d of CMOS inverters in that gate.

[0256] The p channel MOS transistor Q70 by which 70f of comparison latch circuits is connected between the external power node PS and a node A8, and the gate is connected to a node A6, The n channel MOS transistor Q71 by which connects between the external power node PS and a node A7, and the gate is connected to node A5, The n channel MOS transistor Q73 by which connects between the n channel MOS transistor Q72 by which connects

between a node A8 and a touch-down node, and the gate is connected to a node A7, and a node A7 and a touch-down node, and the gate is connected to a node A8 is included.

[0257] The power supply level judging circuit 70 contains p channel MOS transistor 70h which is connected between the external power node PS and a node A6, and receives the powering-on detecting signal ZPOR in the gate further. The internal electrical power source voltage Vint is the circumference supply voltage Vccp outputted from the sense supply voltage Vccs outputted from a sense power circuit, or a circumference power circuit. Next, it explains with reference to the signal waveform diagram showing actuation of the power supply level judging circuit 70 shown in this drawing 44 in drawing 45.

[0258] Powering on is performed in time of day t0, and the voltage level of the external power voltage Vext rises. A power up and the powering-on detecting signal ZPOR are L level, p channel MOS transistor 70h will be in an ON state, and the voltage level of a node A6 rises with the voltage level of the external power voltage Vext. Moreover, the voltage level of node A5 is lower than the input logic threshold of CMOS inverter 70b, and the output signal of CMOS inverter 70b also goes up according to the voltage level of the external power voltage Vext. On the other hand, since the voltage level of a node A6 rises according to the voltage level of the external power voltage Vext, as for 70d of CMOS inverters, an internal p channel MOS transistor maintains an OFF state, and the output signal serves as L level of a touch-down voltage level. Therefore, CMOS transmission gate 70a will be in an ON state, and the internal electrical power source voltage Vint is transmitted to node A5. Capacitative element 70a is connected to node A5, it charges according to this internal electrical power source voltage Vint, and the voltage level of node A5 rises gently.

[0259] The internal electrical power source voltage Vint is generated from the external power voltage Vext based on the comparison with the reference voltage Vref generated from the external power voltage Vext, as already explained. Therefore, after powering on, since the voltage level of reference voltage Vref rises according to the voltage level of the external power voltage Vext, that voltage level also responds and this internal electrical power source voltage Vint rises.

[0260] In 70f of comparison latch circuits Since the voltage level of a node A6 is higher than the voltage level of node A5, With the n channel MOS transistors Q72 and Q73 to which the conductance of the p channel MOS transistor Q71 was larger than the conductance of the p channel MOS transistor Q70, and cross linking was carried out A node A8 is held at a touch-down voltage level, and, on the other hand, the voltage level rises [ a node A7 ] according to the rise of the voltage level of the external power voltage Vext according to the charging current from the p channel MOS transistor Q71. Therefore, immediately after powering on, when the voltage level of a node A7 is lower than the input logic threshold which is 70d of CMOS inverters, although a voltage level once rises by 70g of CMOS inverters, for a while, it discharges immediately and, as for the compulsive activation signal ZPUP, maintains L level, as for the compulsive activation signal ZPUP.

[0261] If the external power voltage Vext reaches a predetermined voltage level or it reaches and stabilizes to a predetermined voltage level, in time of day t1, the powering-on detecting signal ZPOR will start on H level, and p channel MOS transistor 70h will be in an OFF state. In this time of day t1, the external power voltage Vext is stabilized with the predetermined voltage level, and the voltage level of a node A6 is also stabilized with the voltage level of the external power voltage Vext. Also in this condition, CMOS transmission gate 70a is in an ON state, and, as for node A5, that voltage level rises according to the rise of the voltage level of the internal electrical power source voltage Vint. In 70f of comparison latch circuits, the p channel MOS transistor Q70 is in an OFF state (the voltage of the source and the gate is the same level), and a node A7 maintains H level.

[0262] According to the rise of the voltage level of the internal electrical power source voltage Vint, capacitative element 70a is charged and the voltage level of node A5 rises. if the voltage level of this node A5 becomes higher than the input logic threshold of CMOS inverter 70b in time of day t2 -- the output signal of CMOS inverter 70b -- L level -- changing . By this, a node A6 will discharge to a touch-down voltage level, p channel MOS transistor 70c will be in

an ON state, node A5 is combined with the external power node PS, and the voltage level rises to the voltage level of the external power voltage Vext. The fall of the voltage level of this node A6 will be answered, the output signal of 70d of CMOS inverters will serve as H level, CMOS transmission gate 70e will be in an OFF state, and it prevents being transmitted to the node to which the external power voltage Vext of node A5 supplies the internal electrical power source voltage Vint.

[0263] In 70f of comparison latch circuits, the p channel MOS transistor Q70 will be in an ON state, on the other hand, the p channel MOS transistor Q71 will be in an OFF state, a node A8 is charged with the p channel MOS transistor Q70, the voltage level rises, the fall of the voltage level of a node A6 is answered, and the voltage level falls [ node A3 discharges through MOS transistor Q73 and ]. Discharge and charge of nodes A7 and A8 are performed at high speed by the amplifying circuit which consists of n channel MOS transistors Q72 and Q73 by which cross linking was carried out. The fall of the voltage level of a node A7 is answered, and the compulsive activation signal ZPUP from 70g of CMOS inverters starts on H level. Thereby, the pressure-lowering circuit 3 suspends pressure-lowering actuation.

[0264] In the configuration of the power supply level judging circuit 70 shown in drawing 44, if the voltage level of node A5 becomes higher than the input logic threshold of CMOS inverter 70b, the compulsive activation signal ZPUP will be deactivated. The input logic threshold of CMOS inverter 70b is given by the external power voltage Vext given to the external power node PS and the ratio of beta of the MOS transistor contained in the interior. It can judge correctly whether the criterion voltage level of the internal supply voltage Vint was set up using the external power voltage Vext most stabilized early after powering on, and the internal supply voltage Vint reached the predetermined voltage level by making the input logic threshold of the CMOS inverter 70b into a criterion. This is for the input logic threshold of CMOS inverter 70b holding constant value, when the external power voltage Vext is held at a fixed condition. Here, beta is the channel width of an MOS transistor, and channel length's ratio.

[0265] The time amount of a before [ from time of day t0 / time of day t2 ] is set as a suitable value by adjusting the input logic threshold of CMOS inverter 70b. Moreover, the configuration which adjusts the activity time amount of the compulsive activation signal ZPUP may be used by replacing with this, inserting a resistance element between CMOS transmission gate 70e and capacitative element 70a, and changing the climbing speed of the voltage level of node A5 with the climbing speed of the voltage level of the internal electrical power source voltage Vint.

[0266] When setting the input logic threshold at the time of stabilization of this CMOS inverter 70b as the voltage level of the reference voltage Vref (Vrefp, Vrefn) which specifies the voltage level of the internal supply voltage Vint (Vccp or Vccn) and the internal supply voltage Vint reaches a predetermined reference voltage level, without coupling directly an internal electrical power source line and an external power node, actuation of the pressure-lowering circuit 3 can be stopped. The internal electrical power source voltage Vint in this case may be a voltage level lower than reference voltage Vref. This is based on the following reasons.

[0267] Drawing 46 is drawing showing the configuration of the important section of an internal power circuit roughly. In drawing 46, the internal power circuit 1 answers a control signal from a gate circuit 62, alternatively, activity / pressure-lowering circuit 3 which is deactivated and performs pressure-lowering actuation, and always operates, and contains standby pressure-lowering circuit 3a which generates the internal supply voltage Vint according to reference voltage Vref. The output node of standby pressure-lowering circuit 3a and the pressure-lowering circuit 3 is combined in common. It is prepared in order that standby pressure-lowering circuit 3a may guarantee the leakage current of the internal electrical power source line at the time of a standby condition, and the amount of drive current is made sufficiently small. On the other hand, the pressure-lowering circuit 3 has big current driving force, in order to compensate the consumed electric current at the time of internal-circuitry (circumference circuit and/or sense amplifier circuit) actuation. Therefore,

the power-up drive of the pressure-lowering circuit 3 is carried out, and the voltage level of the internal electrical power source voltage Vint is raised. Then, by making the voltage level of the internal electrical power source voltage Vint reach to a predetermined voltage level only according to standby pressure-lowering circuit 3a. The time amount sharply taken for the internal supply voltage Vint to be stable compared with the configuration which drives the interior supply voltage Vint of powering-on backward to a predetermined voltage level (level which reference voltage Vref specifies) only using standby pressure-lowering circuit 3a can be shortened. Therefore, even if the timing by which this compulsive activation signal ZPUP is deactivated is set up at the time of a voltage level with the internal electrical power source voltage Vint lower than reference voltage Vref, it is satisfactory in any way. [0268] Moreover, the configuration of standby pressure-lowering circuit 3a is equipped with the same configuration as the pressure-lowering circuit which was only replaced with the activity control signal, and bias voltage is only given at the gate of a current source transistor, and it was removed, and was explained to until. Current driving force is only made small.

[0269] As mentioned above, if the gestalt 6 of implementation of this invention is followed, since the pressure-lowering circuit will be compulsorily driven to the active state based on the relation between a power up, internal electrical power source voltage, and external power voltage, Internal supply voltage is generated through a pressure-lowering circuit, and it can prevent that an internal electrical power source line and an external power node are combined. The high voltage which external power voltage is directly impressed to an internal electrical power source line, and originates in the noise of a power up etc. is impressed to an internal circuitry, and it can prevent that element destruction arises. [0270] In the example of application above-mentioned explanation of [others, although the gestalten 1-6 of each operation are explained, in the power supply level control electronics shown in drawing 1, these are combined suitably and may be used. Moreover, it may be used separately.

[0271] Moreover, dynamic random access memory is described as a semiconductor memory. However, you may be any of the synchronous semiconductor memory which outputs and inputs data as this dynamic random access memory synchronizing with Standard DRAM and a clock signal.

[0272]

[Effect of the Invention] As mentioned above, if this invention is followed, in the low consumed electric current and low occupancy area, the internal supply voltage of desired level can be generated to stability, and an internal circuitry can be operated to stability.

[0273] That is, if invention concerning claim 1 is followed, since the means for adjusting the capacity value of the capacitive element combined with an internal supply voltage line is established, in the minimum occupancy area, internal supply voltage can be held to stability at a predetermined voltage level, and chip occupancy area can be reduced.

[0274] If invention concerning claim 2 is followed, reference voltage which is mutually different in this internal power circuit is switched, since it constitutes so that internal supply voltage may be generated according to those reference voltages, the charge voltage of this capacitive element can be set as a high voltage level, the fall of the internal supply voltage at the time of internal-circuitry actuation can be controlled, and an internal circuitry can be operated to stability.

[0275] Since it constitutes so that a setup of this 1st reference voltage may be enabled from the exterior at the time of a specific mode of operation if invention concerning claim 3 is followed, the optimum value of the 1st reference voltage can be determined.

[0276] If invention concerning claim 4 is followed, the internal circuitry contains two or more sense amplifiers which detect and amplify memory cell data, can supply the charge at the time of sense actuation from a capacitive element, can control the fall of sense supply voltage, and can perform sense actuation at stability and a high speed.

[0277] If invention concerning claim 5 is followed, since internal supply voltage will be supplied to the level-conversion circuit of a data output circuit, the sag at the time of

actuation of the level-conversion circuit at the time of data output can be controlled, and data can be outputted to stability and a high speed.

[0278] If invention concerning claim 6 is followed, since it will have negative or the temperature characteristic of 0 in the 1st temperature field, and the reference voltage which has the temperature characteristic positive in the 2nd temperature field by the side of an elevated temperature from this will be generated and internal supply voltage will be generated based on this reference voltage, an internal circuitry can be operated at stability and a high speed over a large operating range.

[0279] The 1st voltage which is proportional to the resistance ratio of the 1st and 2nd resistance elements formed with the same material about reference voltage if invention concerning claim 7 is followed, Since the 2nd voltage proportional to the resistance ratio of the 3rd and 4th resistance elements formed with a mutually different material is generated, and the voltage of the higher ones of these is chosen and it is generating as reference voltage, the reference voltage which has negative or 0, and the positive temperature characteristic is generable easily.

[0280] If invention concerning claim 8 is followed, the voltage for which amplifies the difference of the current driving force of an MOS transistor by the resistance element, transforms the current into voltage by the 2nd resistance element, generates the 1st voltage, is generating the 2nd voltage by the 3rd and 4th resistance elements with the same configuration, and has the desired temperature characteristic, and it does not depend on external power voltage is generable.

[0281] If invention concerning claim 9 is followed, since the MOS transistor by which diode connection was made is used as the 4th resistance element, the voltage which has a desired negative temperature property easily is generable with the temperature characteristic.

[0282] If invention concerning claim 10 is followed, the 3rd resistance element will be formed by refractory metal silicide, and the 4th resistance will be formed by high concentration impurity diffusion resistance. At \*\*, it is the temperature characteristic (a temperature coefficient can generate the voltage of 0.) mostly.

[0283] If invention concerning claim 11 is followed, since source joint logic will be used as a means to choose the voltage of the high voltage of the 1st and 2nd voltage, the reference voltage according to the voltage of the higher one of the 1st and 2nd voltage is generable easily and correctly.

[0284] Since it constitutes so that the level conversion of both reference voltage and the internal supply voltage may be carried out, such voltage by which the level conversion was carried out may be compared and current may be supplied to an internal electrical power source line from an external power node if invention concerning claim 12 is followed, a comparator circuit can be operated in the optimal field and the internal power circuit which carries out a high-speed response can be realized.

[0285] If invention concerning claim 13 is followed, since the MOS transistor pair which constitutes the comparison stage which receives level-conversion voltage will have been combined with the touch-down node, respectively, the minimum attainment potential of the output signal of a comparator circuit can be made into a touch-down voltage level, the fall of the current drive capacity of a current drive transistor can be controlled at the time of external power sag, and the internal power circuit which answers a high speed over the range where external power voltage is large can be realized. Moreover, it is not necessary to increase the occupancy area of a current drive transistor, and increase of circuit occupancy area can be controlled.

[0286] If invention concerning claim 14 is followed, since it constitutes from an MOS transistor which receives reference voltage and internal supply voltage for a level-conversion circuit, and these MOS transistors and the MOS transistor of the same conductivity type which constitutes current Miller circuit, the level conversion of a current drive mold can be performed, the voltage by which the level conversion was carried out at high speed can be generated, and the level-conversion circuit excellent in the response characteristic can be realized.

[0287] Since it constitutes so that the gate of the MOS transistor by which series connection is carried out may be connected to the connection node which set one MOS transistor, respectively if invention concerning claim 15 is followed, each MOS transistor can be operated in the almost same active region, and when partial pressure voltage is low, it can operate to stability, and the partial pressure voltage of a desired integer ratio can be generated.

[0288] making the same the backgate effect of these two adjoining MOS transistors, since it constitutes so that the backgate of two MOS transistors which adjoin among the MOS transistors by which series connection is carried out may be connected to the connection node by the side of such two high potentials of an MOS transistor in common if invention concerning claim 16 is followed -- things can be made, it can be made to be able to operate in the same active region, and the partial pressure voltage of a fixed division ratio can be obtained.

[0289] If invention concerning claim 17 is followed, since the reference voltage for sense amplifiers and the reference voltage for circumference circuits will be generated from one reference voltage generating circuit, reference voltage generating circuit-occupancy area can be reduced.

[0290] If invention concerning claim 18 is followed, since each one gate of these MOS transistors will be connected to the connection node of the set MOS transistor as a resistance circuit for this reference voltage generating, using the MOS transistor by which series connection was carried out, even if external power voltage is in the value near the minimum field of operation, the reference voltage of desired level is generable to stability.

[0291] By generating two or more signals through the delay chain which forms one path for a mode-of-operation indication signal, and decoding two or more of these signals, if invention concerning claim 19 is followed Since it constitutes so that a motion-control signal may be generated and actuation of a power supply pressure-lowering circuit may be controlled, it is not necessary to prepare a delay circuit corresponding to each control signal, the number of circuit elements can be reduced, and circuit occupancy area and the consumed electric current at the time of circuit actuation can be reduced.

[0292] Since it constitutes so that the 2nd activation signal which carries out the increment in a predetermined period of an internal pressure-lowering circuit activation signal and this activated operating current of a pressure-lowering circuit for a decoding circuit may be generated if invention concerning claim 20 is followed, the operating current of this pressure-lowering circuit can be enlarged at the time of internal-circuitry actuation, a speed of response can be enlarged, and the internal supply voltage of desired level can be generated [ stability ].

[0293] If invention concerning claim 21 is followed, a decoding circuit answers each activation and deactivation of a mode-of-operation indication signal, is activating the 2nd activation signal, and can control the fall of the internal supply voltage by the consumed electric current at the time of internal-circuitry actuation and internal precharge actuation.

[0294] If invention concerning claim 22 is followed, since the pressure-lowering actuation activation signal and the activation signal for operating current increase are both given to the same internal pressure-lowering circuit, the circuit which carries out the exaggerated drive of the sense supply voltage can be easily obtained by reference voltage change over.

[0295] Moreover, the speed of response is accelerated at the time of this sense supply voltage exaggerated drive, and sense supply voltage can be correctly driven even to an exaggerated drive voltage level.

[0296] If invention concerning claim 23 is followed, the pressure-lowering actuation activation signal and the activation signal for operating current increase are given in the respectively different pressure-lowering circuit, and an internal pressure-lowering circuit can be operated on the optimal conditions according to the property of the internal supply voltage used for each internal circuitry.

[0297] Since the comparator circuit which adjusts the conductance of a current drive transistor is constituted so that it may be activated according to the level of the internal

supply voltage to which that voltage level is set by the supply current from this current drive transistor if invention concerning claim 24 is followed, it is not necessary to combine an external power node with a direct internal electrical power source line, and can prevent that the high voltage unnecessary for an internal electrical power source line is impressed in a power up.

[0298] If invention concerning claim 25 is followed, since the comparator circuit will be activated according to the difference of internal supply voltage and reference voltage, a comparator circuit is correctly activable.

[0299] If invention concerning claim 26 is followed, it can activate a comparator circuit until it reaches a desired voltage level, since the activation means is activating the comparator circuit according to the difference of the reference voltage for internal supply voltage generation of correspondence, another reference voltage, and internal supply voltage.

[0300] If invention concerning claim 27 is followed, a comparator circuit is activable until it is activating the comparator circuit according to the difference of internal supply voltage and external power voltage and internal supply voltage reaches a predetermined voltage level.

[0301] If invention concerning claim 28 is followed, it constitutes and accumulates so that a comparator circuit may be deactivated according to the difference of this internal supply voltage and external power voltage, and when internal supply voltage reaches a predetermined voltage level, activation actuation of a comparator circuit can be stopped correctly.

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing roughly the configuration of the whole semiconductor memory with which this invention is applied.

[Drawing 2] It is drawing showing the configuration of the important section of the semiconductor memory in the gestalt 1 of implementation of this invention.

[Drawing 3] It is drawing showing the temperature characteristic of the reference voltage shown in drawing 2

[Drawing 4] (A) shows the configuration of the example of modification of the gestalt 1 of operation of this invention, and (B) is drawing showing the temperature dependence of the reference voltage when using the resistance element shown in (A).

[Drawing 5] It is drawing showing the configuration of the important section of the semiconductor memory according to the gestalt 2 of implementation of this invention.

[Drawing 6] It is drawing showing an example of the configuration of the reference voltage generating circuit shown in drawing 5

[Drawing 7] It is drawing showing the foreign voltage dependency of the reference voltage from the reference voltage generating circuit shown in drawing 6

[Drawing 8] It is drawing showing an example of the configuration of the constant current source shown in drawing 6

[Drawing 9] It is drawing showing the configuration of the example of modification of the reference voltage generating circuit shown in drawing 5

[Drawing 10] It is drawing showing the configuration of the partial pressure circuit constituted according to the gestalt 2 of implementation of this invention.

[Drawing 11] It is drawing showing the relation of the output voltage and input voltage of a partial pressure circuit shown in drawing 10

[Drawing 12] It is drawing showing roughly the configuration of the important section of the semiconductor memory according to the gestalt 3 of implementation of this invention.

[Drawing 13] It is drawing showing an example of the configuration of the sense amplifier circuit shown in drawing 12

[Drawing 14] It is the signal waveform diagram showing actuation of the circuit shown in drawing 12

[Drawing 15] It is drawing showing the more detailed configuration of the semiconductor memory according to the gestalt 3 of implementation of this invention.

[Drawing 16] It is drawing showing an example of the configuration of the circumference reference voltage generating circuit shown in drawing 15

- [Drawing 17] It is drawing showing roughly the configuration of the example of modification of the gestalt 3 of operation of this invention.
- [Drawing 18] It is drawing showing more concretely the configuration of the stabilization capacity shown in drawing 15 and drawing 17.
- [Drawing 19] It is drawing showing the configuration of the fuse program circuit shown in drawing 18.
- [Drawing 20] It is drawing showing other configurations of the stabilization capacity shown in drawing 15 and drawing 17.
- [Drawing 21] It is drawing showing roughly the example of modification of the gestalt 3 of implementation of this invention.
- [Drawing 22] It is drawing showing the example of application to other uses of the gestalt 3 of implementation of this invention.
- [Drawing 23] It is drawing showing the example of application to other uses of the gestalt 3 of implementation of this invention.
- [Drawing 24] It is drawing showing the configuration of the important section of the semiconductor memory according to the gestalt 4 of implementation of this invention.
- [Drawing 25] (A) is the signal waveform diagram showing actuation of the comparator circuit shown in drawing 24, and (B) is drawing showing the drive current capacity of the current drive transistor shown in drawing 24.
- [Drawing 26] It is drawing showing roughly the configuration of the example of modification of the gestalt 4 of operation of this invention.
- [Drawing 27] It is the signal waveform diagram showing actuation of the level-conversion circuit shown in drawing 26.
- [Drawing 28] It is drawing showing roughly the configuration of the example 2 of modification of the gestalt 4 of operation of this invention.
- [Drawing 29] It is drawing showing roughly the configuration of the important section of the semiconductor memory according to the gestalt 5 of implementation of this invention.
- [Drawing 30] It is drawing showing the configuration of the delay chain shown in drawing 29 and a decoding circuit.
- [Drawing 31] It is drawing showing roughly the configuration of the sense pressure-lowering circuit shown in drawing 29.
- [Drawing 32] It is the signal waveform diagram showing actuation of the circuit shown in drawing 30.
- [Drawing 33] It is drawing showing an example of the configuration of the change over signal generator shown in drawing 29.
- [Drawing 34] It is drawing showing roughly the configuration of the example of modification of the gestalt 5 of operation of this invention.
- [Drawing 35] It is drawing showing roughly the configuration of the example 2 of modification of the gestalt 5 of operation of this invention.
- [Drawing 36] It is the signal waveform diagram showing actuation of the circuit shown in drawing 35.
- [Drawing 37] It is drawing showing roughly the configuration of the delay chain shown in drawing 35 and a decoding circuit.
- [Drawing 38] It is drawing showing roughly the configuration of the important section of the semiconductor memory according to the gestalt 6 of implementation of this invention.
- [Drawing 39] It is drawing showing the configuration of the power supply level judging circuit shown in drawing 38.
- [Drawing 40] It is the signal waveform diagram showing actuation of the power supply level judging circuit shown in drawing 39.
- [Drawing 41] It is drawing showing the example of modification of the power supply level judging circuit shown in drawing 39.
- [Drawing 42] It is drawing showing roughly the configuration of the example 2 of modification of the gestalt 6 of operation of this invention.
- [Drawing 43] It is drawing showing roughly the configuration of the example 3 of

modification of the gestalt 6 of operation of this invention.  
 [Drawing 44] It is drawing showing the configuration of the power supply level judging circuit shown in drawing 43

[Drawing 45] It is the signal waveform diagram showing actuation of the power supply level judging circuit shown in drawing 44

[Drawing 46] It is drawing showing roughly the configuration of the internal electrical power source circuit of the gestalt 6 of operation of this invention.

[Drawing 47] It is drawing showing the configuration of the conventional whole semiconductor memory roughly.

[Drawing 48] It is drawing showing roughly the configuration of the internal power circuit shown in drawing 47

[Drawing 49] It is drawing showing roughly the configuration of the pressure-lowering circuit shown in drawing 48

[Drawing 50] It is drawing showing the relation between the output voltage of the pressure-lowering circuit shown in drawing 49, external power voltage, and reference voltage.

[Drawing 51] It is the signal waveform diagram showing actuation of the pressure-lowering circuit shown in drawing 49

[Drawing 52] It is drawing showing roughly the temperature characteristic of the reference voltage from the reference voltage generating circuit shown in drawing 48

[Drawing 53] It is drawing showing the concrete configuration of the pressure-lowering circuit shown in drawing 48

[Description of Notations]

1 Internal Electrical Power Source Circuit, 10 Voltage-Level Control Circuit, 100 Memory Cell Array, 300 A sense amplifier circuit, 2 A reference voltage generating circuit, 2a The 1st voltage generating circuit, 2b 2nd voltage generating circuit, 2c An OR circuit, 3 Pressure-lowering circuit, 3p Circumference pressure-lowering circuit, 3s A sense pressure-lowering circuit, R10-R14 Resistance element, CCS A constant current source, Q25-Q29, Q30-Q34 MOS transistor, SQ0, SQ1 A switching transistor, 2s Sense reference voltage generating circuit, 2p A circumference reference voltage generating circuit, 4 A change over circuit, 5 Sense power supply line, 7 Stabilization capacity, SA A sense amplifier, 9 Transfer gate, 11 A static test mode detector, 13 Pad (external pin terminal), 14 A monitor pad, 15 The transfer gate, FP, FP0-FPn Fuse program circuit, XT0-XTn The transfer gate, C0-Cn Capacitor, alumnus0-OBn An output buffer, 30a A Vpp1 generating circuit, a 30bVpp2 generating circuit, 30c A change over circuit, 30e Stabilization capacity, Cd Stabilization capacity, PDA, PDB A pad, 3c A comparator, 3d Current drive transistor, 35 A local level-conversion circuit, 37 An internal electrical power source line, Q51-Q54 N channel MOS transistor, 505a A comparator, 505b A current drive transistor, 505d Internal electrical power source line, 50 A delay chain, DSW0-DSW2 Delay change-over switch, SSW0, SSW1 An output selection switch, IV0-IV3 Inverter, NG1-NG5 A NAND circuit, 3sa A comparator, 3sb current drive transistor, 3sc(s), 3sd A current source transistor, 50a-50c Delay stage, 52a, 52c An OR circuit, 52b, 52d, 52g Inverter, 52e An AND circuit, 52f, 52h A NAND circuit, 60 Power supply level judging circuit, 60a, 60e A CMOS inverter, 60b, 60d, an MOS transistor, 60c A CMOS inverter latch, 60f A delay circuit, 62 gate circuits, 70 A power supply level judging circuit, 70a A capacitive element, 70b, 70d, 70g A CMOS inverter, 70c, 70h An MOS transistor and 70e The transfer gate, 70f Comparison latch circuit.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-11649

(P2000-11649A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 1 1 C 11/407		G 1 1 C 11/34	3 5 4 F 5 B 0 1 5
G 0 5 F 3/24		G 0 5 F 3/24	Z 5 B 0 2 4
	3/26		5 H 4 2 0
G 1 1 C 5/14		G 1 1 C 5/14	
11/413		11/34	3 3 5 A

審査請求 未請求 請求項の数28 O L (全 45 頁) 最終頁に続く

(21)出願番号 特願平10-181125

(22)出願日 平成10年6月26日(1998.6.26)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 光井 克吉

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 古谷 清広

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

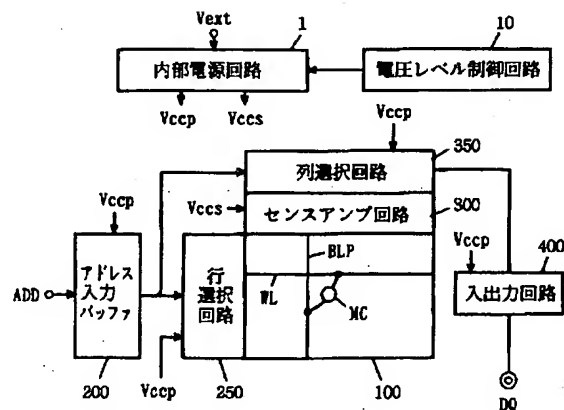
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 低占有面積かつ低消費電流で安定に所望のレベルの内部電源電圧を生成する。

【解決手段】 内部電源回路(1)で、外部電源電圧(Vext)から内部電源電圧(Vccp, Vccs)を生成する。電圧レベル制御回路(10)は、この内部電源回路(1)の発生する内部電源電圧の電圧レベルおよび温度特性を調整する。内部電源回路(1)は、内部電源電圧を、低温領域で負または0の温度特性を有し、高温領域で正の温度特性を有する内部電源電圧を生成し、また電圧レベル制御回路(10)は、このセンスアンプ回路(300)駆動用のセンス電源線安定化容量の容量値を最適化する構成内部電源回路の外部電源電圧の動作下限領域を確定するレベル変換回路または、電源投入時、強制的に内部降圧回路を駆動する構成を含む。



1

## 【特許請求の範囲】

【請求項1】 外部電源電圧から内部電源電圧を生成するための内部電源回路、

前記内部電源回路からの内部電源電圧を利用する内部回路、

前記内部電源電圧を伝達する内部電源線に結合される容量素子、および前記容量素子の容量値を調整するための手段を備える、半導体装置。

【請求項2】 前記内部電源回路は、

第1の基準電圧を発生する手段と、

前記第1の基準電圧と異なる電圧レベルの第2の基準電圧を発生する手段と、

切替信号にตอบสนองして、前記第1および第2の基準電圧の一方を選択する選択手段と、

前記選択手段からの基準電圧と前記内部電源線上の電圧とに従って前記外部電源電圧を供給するノードから前記内部電源線へ電流を供給する降圧回路とを備える、請求項1記載の半導体装置。

【請求項3】 特定の動作モードを指定する特定動作モード指示信号にตอบสนองして、前記第1の基準電圧発生手段の発生する第1の基準電圧を外部から設定可能にするためのモード設定手段をさらに備える、請求項2記載の半導体装置。

【請求項4】 前記内部回路は、

行列状に配列される複数のメモリセルと、

各前記列に対応して配置され、活性化時、各々が前記内部電源電圧を利用して対応の列のメモリセルのデータの検知および増幅を行なう複数のセンスアンプを含む、請求項1記載の半導体装置。

【請求項5】 前記内部回路は、

複数のメモリセルと、

前記複数のメモリセルの選択メモリセルのデータを外部へ出力するための出力回路とを含み、前記出力回路は、前記内部電源電圧を一方動作電源電圧として動作して前記選択メモリセルのデータの電圧レベルを変換するためのレベル変換回路を含む、請求項1記載の半導体装置。

【請求項6】 第1の温度領域で負またはゼロの温度特性を有しかつ前記第1の温度領域よりも高温の第2の温度領域が正の温度特性を有するように基準電圧を発生する手段および前記基準電圧と電源電圧とを比較し、該比較結果に従って前記電源電圧のレベルを調整する手段を備える、半導体装置。

【請求項7】 前記基準電圧発生手段は、

同一材料で形成される第1および第2の抵抗素子の抵抗比に比例する第1の電圧を発生する第1の電圧発生手段と、

互いに異なる材料で形成される第3および第4の抵抗素子の抵抗比に比例する第2の電圧を発生する第2の電圧発生手段と、

前記第1および第2の電圧発生手段からの第1および第

2

2の電圧を受けて、これらの第1および第2の電圧のうちの高い方の電圧のレベルに応じた電圧を前記基準電圧として発生するOR手段を備える、請求項6記載の半導体装置。

【請求項8】 前記基準電圧発生手段は、

電源ノードと第1のノードとの間に接続される第1の抵抗素子と、前記電源ノードと第2のノードとの間に接続されかつそのゲートが前記第2のノードに接続される第1の絶縁ゲート型電界効果トランジスタと、前記第1のノードと第3のノードとの間に接続されかつそのゲートが前記第2のノードに接続される第2の絶縁ゲート型電界効果トランジスタと、前記第2および第3のノードに結合され、前記第2および第3のノードに同じ大きさの電流を流すための第1のカレントミラー回路と、前記第1の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成し、前記電源ノードから電流を供給する第1の電流源トランジスタと、前記第1の電流源トランジスタからの電流を電圧に変換して前記第1の基準電圧を生成する第2の抵抗素子とを含む第1の基準電圧発生回路と、前記電源ノードと第4のノードとの間に接続される第3の抵抗素子と、前記電源ノードと第5のノードとの間に接続されかつそのゲートが前記第5のノードに接続される第3の絶縁ゲート型電界効果トランジスタと、前記第4のノードと第6のノードとの間に接続されかつそのゲートが前記第5のノードに接続される第4の絶縁ゲート型電界効果トランジスタと、前記第5および第6のノードに結合され、前記第5および第6のノードに同じ大きさの電流を流す第2のカレントミラー回路と、前記第3の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成し、前記第3の絶縁ゲート型電界効果トランジスタを流れる電流に対応する大きさの電流を供給する第2の電流源トランジスタと、前記第2の電流源トランジスタからの電流を電圧に変換して前記第2の基準電圧を生成する第4の抵抗素子とを含む第2の基準電圧発生回路とを含む、請求項6記載の半導体装置。

【請求項9】 前記第4の抵抗素子は、ゲートとドレインが相互接続された絶縁ゲート型電界効果トランジスタを備える、請求項8記載の半導体装置。

【請求項10】 前記第3の抵抗素子は、高融点金属シリサイドで構成され、前記第4の抵抗素子は、不純物拡散抵抗で構成される、請求項8記載の半導体装置。

【請求項11】 前記OR手段は、前記第1および第2の電圧をゲートに受けかつソースが相互接続されるソース結合トランジスタと、前記ソース結合トランジスタにソースが接続されかつそのゲートおよびドレインが接続される出力トランジスタとを備え、前記出力トランジスタのドレインから前記基準電圧が出力される、請求項7記載の半導体装置。

【請求項12】 外部からの電源電圧を受ける外部電源ノードと内部電源電圧を伝達する内部電源線との間に結

合される電流ドライブトランジスタ、基準電圧と前記内部電源線上の内部電源電圧とを受け、前記基準電圧および前記内部電源電圧のレベルをとともに変換して出力するレベル変換回路、および前記レベル変換回路からのレベル変換された基準電圧およびレベル変換された内部電源電圧を比較し、該比較結果に従って前記電流ドライブトランジスタのコンダクタンスを調整する比較回路を備える、半導体装置。

【請求項13】 前記比較回路は、

前記外部電源ノードに結合されて電流を供給するカレントミラー段と、

前記カレントミラー段と接地ノードとの間に結合され、それぞれのゲートに前記レベル変換された内部電源電圧およびレベル変換された基準電圧を受ける絶縁ゲート型電界効果トランジスタ対とを含み、前記絶縁ゲート型電界効果トランジスタ対のそれぞれの一方導通ノードは共通に接地電圧を受けるように結合される、請求項12記載の半導体装置。

【請求項14】 前記レベル変換回路は、

第1のノードと第2のノードとの間に結合されかつ前記内部電源電圧をゲートに受ける第1の絶縁ゲート型電界効果トランジスタと、

前記第1のノードと第3のノードとの間に結合されかつ前記基準電圧をゲートに受ける第2の絶縁ゲート型電界効果トランジスタと、

前記第2のノードと接地ノードとの間に結合されかつそのゲートが前記第3のノードに結合される第3の絶縁ゲート型電界効果トランジスタと、

前記第3のノードと前記接地ノードとの間に結合されかつそのゲートが前記第3のノードに結合される第4の絶縁ゲート型電界効果トランジスタとを含み、

前記レベル変換された基準電圧が前記第3のノードから出力され、かつ前記レベル変換された内部電源電圧が前記第2のノードから出力され、かつさらに前記第1から第4の絶縁ゲート型電界効果トランジスタは同一導電型である、請求項12記載の半導体装置。

【請求項15】 第1のノードと第2のノードの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備え、

前記複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1つトランジスタを間に置いたトランジスタ間接続ノードに接続され、各トランジスタ間接続ノードは、前記第1および第2のノード間の電圧を分圧した電圧を出力するノードとなる、半導体装置。

【請求項16】 前記複数の絶縁ゲート型電界効果トランジスタのバックゲートは、隣接する2つの絶縁ゲート型電界効果トランジスタのバックゲートが共通に該隣接する2つの絶縁ゲート型電界効果トランジスタの一方の第1の導通ノードに接続されるように接続される、請求項15記載の半導体装置。

【請求項17】 一定の電流を供給する定電流源、

直列に接続される複数の抵抗素子を含み、前記定電流源からの電流を受けて第1および第2の基準電圧を発生する基準電圧発生回路、

前記第1および第2の基準電圧それぞれに従って第1および第2の内部電源電圧を外部電源電圧から生成する降圧回路、

行列状に配列される複数のメモリセル、

各列に対応して設けられ、かつ対応の列上のメモリセルのデータを前記第1の内部電源電圧を利用して検知し増幅する複数のセンスアンプ、および前記第2の内部電源電圧を使用して、前記メモリセルアレイのメモリセル選択動作を行なう周辺回路を備える、半導体装置。

【請求項18】 前記基準電圧発生回路は、前記定電流源からの電流を受ける第1のノードと第2のノードとの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備え、前記複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1つトランジスタを間に置いたトランジスタ間接続ノードに接続され、前記第1のノードから前記第2の基準電圧が出力され、前記第1のノードに隣接する第2の接続ノードまたは前記第2の接続ノードに隣接する第3の接続ノードから前記第1の基準電圧が出力される、請求項17記載の半導体装置。

【請求項19】 複数の直列接続される遅延段を含み、動作モード指示信号を受ける遅延チェーン、

前記遅延チェーンの所定の複数のノードの信号をデコードして活性化信号を発生するデコード回路、および前記デコード回路からの活性化信号の活性化にตอบสนองして活性化され、内部電源電圧と基準電圧との差に従って前記内部電源電圧の電圧レベルを調整する降圧回路を備え、前記降圧回路は、前記内部電源電圧と前記基準電圧とを比較するための比較回路と、前記比較回路の出力信号に従って外部電源ノードから前記内部電源電圧を伝達する内部電源線へ電流を供給する電流ドライブトランジスタとを含む、半導体装置。

【請求項20】 前記デコード回路は、

前記降圧回路を活性化する第1の活性化信号と、該活性化された降圧回路の比較回路の動作電流を所定期間増加させる第2の活性化信号とを生成する手段を含む、請求項19記載の半導体装置。

【請求項21】 前記デコード回路は、前記動作モード指示信号の活性化および非活性化それぞれにตอบสนองして前記第2の活性化信号を活性化する手段を含む、請求項20記載の半導体装置。

【請求項22】 前記降圧回路は、互いに異なる電圧レベルの内部電源電圧をそれぞれ生成する第1および第2の内部降圧回路を含み、前記第1および第2の活性化信号はともに前記第1の内部降圧回路へ与えられる、請求項20記載の半導体装置。

【請求項23】 前記降圧回路は、互いに異なる電圧レベルの内部電源電圧を生成する第1および第2の内部降圧回路を含み、  
前記第1および第2の活性化信号は、それぞれ、前記第1および第2の内部降圧回路へ与えられる、請求項20記載の半導体装置。

【請求項24】 外部電源ノードと内部電源線との間に結合される電流ドライブトランジスタ、  
活性化時、基準電圧と前記内部電源線上の電圧に各々対応する電圧を比較し、該比較結果に従って前記電流ドライブトランジスタのコンダクタンスを制御する比較回路、および前記内部電源電圧のレベルに応じて前記比較回路を活性化する活性化手段を備える、半導体装置。

【請求項25】 前記活性化手段は、前記内部電源電圧と前記基準電圧との差に従って前記比較回路を活性化する手段を含む、請求項24記載の半導体装置。

【請求項26】 前記活性化手段は、  
前記基準電圧と異なる別の基準電圧と前記内部電源電圧との差に従って前記比較回路を活性化する手段を含む、請求項24記載の半導体装置。

【請求項27】 前記活性化手段は、  
前記内部電源電圧と前記外部電源電圧との差に応じて前記比較回路を活性化する手段を含む、請求項24記載の半導体装置。

【請求項28】 前記活性化手段は、前記内部電源電圧と前記外部電源電圧の差が所定値以下となると前記比較回路を非活性化する手段を含む、請求項24から26のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置に関し、特に、内部で所望のレベルの電圧を発生する内部電圧発生回路の構成に関する。

【0002】

【従来の技術】図47は、従来の半導体記憶装置の全体の構成を概略的に示す図である。図47において、半導体記憶装置は、行列状に配列される複数のメモリセルMCを有するメモリセルアレイ100を含む。メモリセルアレイ100において、メモリセルMCの各行に対応してワード線WLが配置され、メモリセルMCの各列に対応してビット線対BLPが配置される。ビット線対BLPとワード線WLの交差部に対応してメモリセルMCが配置される。

【0003】この半導体記憶装置はさらに、外部からのアドレス信号ADDを取込み内部アドレス信号を生成するアドレス入力バッファ200と、アドレス入力バッファ200からの内部行アドレス信号に従ってメモリセルアレイ100のアドレス指定された行に対応するワード線WLを選択状態へ駆動する行選択回路250と、選択行に接続されたメモリセルのデータの検知、増幅および

ラッチを行なうセンスアンプ回路300と、アドレス入力バッファ200からの内部列アドレス信号に従ってメモリセルアレイ100のアドレス指定された列を選択する列選択回路350と、列選択回路350により選択された列のメモリセルとデータの授受を行なう入出力回路400とを含む。

【0004】行選択回路250は、アドレス入力バッファ200からの内部行アドレス信号をデコードするロウデコーダと、このロウデコーダの出力信号に従ってアドレス指定されたワード線を選択状態へ駆動するワード線ドライブ回路を含む。列選択回路350は、アドレス入力バッファ200からの内部列アドレス信号をデコードするコラムデコーダと、このコラムデコーダからの列選択信号に従ってメモリセルアレイのアドレス指定された列を内部データバス（明確に示さず）へ接続するIOゲート回路を含む。センスアンプ回路300は、ビット線対BLPそれぞれに対応して設けられ、活性化時対応のビット線対の電位を差動増幅するセンスアンプを含む。

【0005】この半導体記憶装置は、さらに、外部から与えられる電源電圧Vextを降圧して内部電源電圧VccpおよびVccsを生成する内部電源回路500を含む。この内部電源回路500からの内部電源電圧Vccpは、周辺回路、すなわちアドレス入力バッファ200、行選択回路250、列選択回路350および入出力回路400へ与えられる。内部電源電圧Vccsは、センスアンプ回路300へ与えられる。

【0006】内部電源電圧Vccpは、内部電源電圧Vccsの電圧レベル以上である。周辺回路へ、高い内部電源電圧Vccpを与えることにより、周辺回路を高速で動作させる。一方、内部電源電圧Vccpよりも低い内部電源電圧Vccsをセンスアンプ回路300へ与えることにより、ビット線の充放電電流の低減およびビット線信号振幅の低減による高速センス動作を実現する。また、メモリセルMCが、ダイナミック・ランダム・アクセス・メモリ（DRAM）の場合、アクセストランジスタとキャパシタとで構成されており、このキャパシタ絶縁膜に大きな電圧が印加されるのを防止し、キャパシタ絶縁膜の信頼性を保証し、さらに電圧Vccsの1.5倍程度の大きさの高電圧が印加されるワード線の信頼性を保証する。

【0007】なお、アドレス入力バッファ200および入出力回路400において、外部装置との間のインタフェースをとる部分においては、外部電源電圧Vextが用いられる。しかしながら、図47において、これは示していない。

【0008】半導体記憶装置の記憶容量が増大するにつれて、その構成要素であるMOSトランジスタも微細化される。一方、プロセッサおよびロジックなどの外部装置の動作電源電圧は、これらは半導体記憶装置ほど微細化が進んでいないため、その動作速度を維持するため、

比較的高く設定される。また、前世代の半導体記憶装置との電源電圧の互換性を保持する必要がある。このため、外部電源電圧 $V_{ext}$ を、内部電源回路500で降圧して内部電源電圧 $V_{ccp}$ および $V_{ccs}$ を生成することにより、前世代の半導体記憶装置との互換性を維持したシステム電源電圧との互換性を維持する。

【0009】図48は、図47に示す内部電源回路500の構成を概略的に示す図である。図48において、内部電源回路500は、基準電圧 $V_{ref s}$ を生成する基準電圧発生回路502sと、基準電圧 $V_{ref p}$ を生成する基準電圧発生回路502pと、内部電源電圧 $V_{ccs}$ と基準電圧 $V_{ref s}$ の差に従って、外部電源電圧 $V_{ext}$ を受けるノードから電流を供給して内部（センス）電源電圧 $V_{ccs}$ の電圧レベルを調整する降圧回路504sと、内部（周辺）電源電圧 $V_{ccp}$ と基準電圧 $V_{ref p}$ の差に従って外部電源電圧 $V_{ext}$ を受けるノードから電流を内部電源線に供給して内部電源電圧 $V_{ccp}$ の電圧レベルを調整する降圧回路504pを含む。基準電圧発生回路502sおよび降圧回路504sにより、センスアンプのための内部電源電圧を生成するセンス電源回路が構成され、基準電圧発生回路502pおよび降圧回路504pにより、周辺回路に対する内部電源電圧 $V_{ccp}$ を生成する周辺電源回路が構成される。センス電源回路および周辺電源回路を別々に設けるのは以下の理由による。

【0010】図47に示すセンスアンプ回路300の動作時において、選択ワード線WLに接続されるビット線対BLPにおいて充放電が行なわれる。このセンスアンプ動作時における充放電電流は、比較的大きな電流値を有しており、この大きな電流消費を補償するために、センス電源回路の降圧回路504sは、大きな電流駆動力が必要とされる。しかしながら、ビット線対BLPの充放電を行なうだけでよく、内部電源電圧（以下、センス電源電圧と称す） $V_{ccs}$ を高速で元の状態に復帰させる必要はなく、したがって降圧回路504sは、高速応答性はそれほど要求されない。一方、周辺電源回路の降圧回路504pにおいては、周辺回路動作時においては、これらの周辺回路を高速でかつ安定に動作させるために、内部電源電圧（以下、周辺電源電圧と称す） $V_{ccp}$ の電圧変動を高速で補償する必要がある、高速応答特性が要求される。一方、周辺回路動作時においては、センスアンプ動作時に比べて小さな電流が消費されるだけである。したがって、周辺電源回路の降圧回路504pは、比較的小駆動電流量は小さいものの、高速応答特性を有することが要求される。これらの異なる要求される特性のために、センス電源回路および周辺電源回路が別々に設けられる。

【0011】

【発明が解決しようとする課題】従来の半導体記憶装置においては、周辺回路およびセンスアンプ回路それぞれ

に対し別々に電源回路が設けられる。センス電源電圧 $V_{ccs}$ と周辺電源電圧 $V_{ccp}$ は、電圧レベルが異なるため、これらの電源電圧 $V_{ccs}$ および $V_{ccp}$ の電圧レベルを決定する基準電圧 $V_{ref s}$ および $V_{ref p}$ も、それぞれ別々の基準電圧発生回路502sおよび502pから生成される。このため、内部電源回路500において基準電圧発生回路が占める面積が大きくなり、回路占有面積を低減することができないという問題がある。また、これらの基準電圧発生回路502sおよび502pが別々に設けられているため、基準電圧 $V_{ref s}$ および $V_{ref p}$ の電圧レベル調整時、これらを別々に調整する必要があり、その電圧レベル調整（トリミング）の手間がかかるという問題があった。

【0012】図49は、図48に示す降圧回路504sおよび504pの構成の一例を示す図である。センス電源電圧 $V_{ccs}$ を生成するセンス降圧回路504sおよび周辺電源電圧 $V_{ccp}$ を生成する周辺降圧回路504pは、ともに同じ構成を備えるため、図49においては、降圧回路504を代表的に示す。

【0013】図49において、降圧回路504は、内部電源線505d上の内部電源電圧 $V_{cc}$ と基準電圧 $V_{ref}$ とを比較する比較器505aと、比較器505aの出力信号に従って外部電源電圧 $V_{ext}$ を受ける外部電源ノードから内部電源線505dへ電流を供給するnチャネルMOSトランジスタで構成される電流ドライブ回路505bと、電源投入検出信号/PORに応答して電源投入後内部電源線505dに外部電源電圧 $V_{ext}$ を伝達するpチャネルMOSトランジスタで構成されるリセットトランジスタ505cを含む。電源投入検出信号/PORは、電源投入後、外部電源電圧 $V_{ext}$ が所定電圧レベルに到達するかまたは安定状態となるまでLレベルの活性状態とされ、内部回路ノードの初期設定を行なうために用いられる。

【0014】比較器505aは、通常、差動増幅器で構成され、正入力に内部電源電圧 $V_{cc}$ を受け、負入力に基準電圧 $V_{ref}$ を受ける。内部電源電圧 $V_{cc}$ が基準電圧 $V_{ref}$ よりも高いときには、比較器505aの出力信号はHレベルとなり、電流ドライブトランジスタ505bはオフ状態を維持する。一方、内部電源電圧 $V_{cc}$ が基準電圧 $V_{ref}$ よりも低い場合には、比較器505aの出力信号は、これらの電圧 $V_{cc}$ および $V_{ref}$ の差に応じてローレベルとなり、電流ドライブトランジスタ505bのコンダクタンスが大きくなる。これにより、外部電源ノードから内部電源線505dに電流が供給され、内部電源電圧 $V_{cc}$ の電圧レベルが上昇する。したがって、この図49に示す降圧回路504の構成においては、内部電源電圧 $V_{cc}$ が、ほぼ基準電圧 $V_{ref}$ の電圧レベルに維持される。

【0015】図50は、内部電源電圧 $V_{cc}$ 、基準電圧 $V_{ref}$ および外部電源電圧 $V_{ext}$ の関係を示す図で

ある。図50において、横軸は外部電源電圧 $V_{ext}$ の電圧レベルを示し、縦軸に各電圧を示す。基準電圧 $V_{ref}$ は、外部電源電圧 $V_{ext}$ から生成される。基準電圧 $V_{ref}$ は、定電流源と抵抗回路から通常構成され、外部電源電圧 $V_{ext}$ が低い電圧レベルのときには、この外部電源電圧 $V_{ext}$ のレベルに従って基準電圧 $V_{ref}$ の電圧レベルも上昇する。外部電源電圧 $V_{ext}$ が所定電圧レベル以上となると、基準電圧 $V_{ref}$ は、この外部電源電圧 $V_{ext}$ の電圧レベルに係わず一定の電圧 $V_a$ のレベルを維持する。内部電源電圧 $V_{cc}$ は、この基準電圧 $V_{ref}$ と内部電源線505d上の電圧との比較に基づいて生成される。内部電源電圧 $V_{cc}$ は、ほぼ基準電圧 $V_{ref}$ の電圧レベルに等しいが、しかしながら電流ドライブトランジスタ505bのチャネル抵抗により、内部電源電圧 $V_{cc}$ の電圧レベルは、基準電圧 $V_{ref}$ の電圧レベルよりも少し低い。

【0016】電源電圧 $V_{ext}$ が投入され、外部電源電圧 $V_{ext}$ の電圧レベルが上昇すると応じて基準電圧 $V_{ref}$ も電圧レベルが上昇する。比較器505aおよび電流ドライブトランジスタ505bは、この内部電源線505d上の電圧と基準電圧 $V_{ref}$ の比較結果に従って内部電源電圧 $V_{cc}$ の電圧レベルを調整する。したがって、外部電源電圧 $V_{ext}$ が投入されてその電圧レベルが上昇し、基準電圧 $V_{ref}$ の電圧レベル上昇が上昇すると、応じて内部電源電圧 $V_{cc}$ の電圧レベルも上昇する。基準電圧 $V_{ref}$ が一定電圧レベルに到達し、安定化すると、また内部電源電圧 $V_{cc}$ の電圧レベルも安定化する。したがって、内部電源電圧 $V_{cc}$ の電圧レベルは、基準電圧 $V_{ref}$ の電圧レベルが安定化した後に安定化するため、外部電源電圧 $V_{ext}$ 投入後、高速で内部電源電圧 $V_{cc}$ を安定化することができなくなる。そこで、図49に示すようにリセットトランジスタ505cを用いて電源投入時、この内部電源線504上の電圧レベルを所定期間外部電源電圧 $V_{ext}$ の電圧レベルに応じて上昇させる。

【0017】図51は、電源投入時の内部電源電圧の変化を示す図である。図51において、時刻 $t_0$ において電源投入が行なわれ、外部電源電圧 $V_{ext}$ の電圧レベルが上昇する。この状態において、電源投入検出信号/PORはLレベルを維持する。したがって、リセットトランジスタ505cがオン状態となり、内部電源線505d上の電圧 $V_{cc}$ は、外部電源電圧 $V_{ext}$ の電圧レベルに応じて変化する。

【0018】時刻 $t_1$ において、外部電源電圧 $V_{ext}$ が所定の電圧レベル $V_b$ のレベルに到達すると、電源投入検出信号/PORがHレベルの非活性状態となり、リセットトランジスタ505cがオフ状態となる。この後は、比較回路505aおよび電流ドライブトランジスタ505bにより、内部電源電圧 $V_{cc}$ が基準電圧 $V_{ref}$ レベルにまで駆動される。

【0019】このリセットトランジスタ505cを用いることにより、内部電源線505d上の内部電源電圧 $V_{cc}$ の電圧レベルを電源投入後高速で立上げて、早いタイミングで、所定の電圧レベル（基準電圧 $V_{ref}$ レベル）に安定化させることができる。

【0020】しかしながら、この場合、電源投入後、電源投入検出信号/PORが非活性状態のHレベルとなるまで、内部電源線505dは、外部電源電圧を受けるノードに結合される。このため内部電源線505d上に、たとえば電源ノイズなどにより不必要に高い電圧が印加され、この内部電源線505d上の内部電源電圧 $V_{cc}$ を利用する回路が破壊される（ゼロタイム破壊）、またはその信頼性が低下する（大きな電圧ストレスが、電源投入ごとに印加されるため）。特に、この降圧回路504が、内部回路動作時においてのみ活性化される場合、内部電源線505d上の電圧 $V_{cc}$ は、別に設けられた電流駆動力の小さな常時動作するスタンバイ降圧回路に従って所定の電圧レベルへ駆動する必要がある。高速で内部電源電圧 $V_{cc}$ を安定化させるためには、電源投入検出信号/PORのタイミング調整が煩わしくなり、内部回路の信頼性を確保するのが困難になるという問題が生じる。また、図51の破壊波形で示すように、この電源投入検出信号/PORが長い期間活性状態のLレベルに保持された場合、内部電源電圧 $V_{cc}$ が基準電圧 $V_{ref}$ よりも高い電圧レベルに駆動され、内部回路に必要な以上の高電圧が印加されることになり、素子特性が劣化するかまたは回路素子が破壊される。

【0021】図52は、基準電圧 $V_{ref}$ および内部電源電圧 $V_{cc}$ の温度依存性を示す図である。図52において、横軸に温度 $T$ を示し、縦軸に電圧 $V$ を示す。図52に示すように、基準電圧 $V_{ref}$ および内部電源電圧 $V_{cc}$ は、正の温度特性を有しており、温度 $T$ が高くなるにつれてその電圧レベルが上昇する。これは、低温動作領域においては、内部回路に含まれる絶縁ゲート型電界効果トランジスタ（MOSTランジスタ）の発生したホットキャリアのゲート絶縁膜トラップに起因する素子特性劣化を防止し、かつ高温動作時において、ホットキャリアに起因するチャネル抵抗の実質的な増加によるドレイン電流低下に伴う動作速度の低下を補償することを図る。しかしながら、この正の温度特性を内部電源電圧 $V_{cc}$ が有する場合、低温領域で以下の問題が生じる。すなわち、低温領域において、MOSTランジスタはそのしきい値電圧の絶対値が大きくなる。したがって、MOSTランジスタのゲート電圧がこの低温領域において低下した場合、MOSTランジスタの実効的なゲートソース間電圧の絶対値が小さくなり、MOSTランジスタが高速動作できなくなるか、または誤動作する（オン状態とならない）問題が生じる。特に、センスアンプ回路に含まれるセンスアンプの場合、中間電圧レベルのビット線電圧とセンス電源電圧 $V_{ccs}$ との差を増幅する

ため、その構成要素のMOSトランジスタのゲートソース間電圧は、動作開始時に最大 $V_{ccs} - V_{ccs}/2$ となり、このMOSトランジスタのしきい値電圧の絶対値の増大およびセンス電源電圧 $V_{ccs}$ の低下の影響が顕著となる。低温領域においてこのセンス電源電圧 $V_{ccs}$ を最適化した場合、高温動作時にセンス電源電圧 $V_{ccs}$ が高くなりすぎ、ゲート絶縁膜の破壊または劣化などの問題が生じる。

【0022】このセンスアンプ回路を高速動作させるために、センス動作開始時、このセンスアンプ回路へ与えられるセンス電源電圧 $V_{ccs}$ のレベルを上昇させることが考えられる。この場合、センスアンプ回路に対するセンスアンプ電源電圧を、周辺電源電圧 $V_{ccp}$ レベルにまで上昇させてキャパシタにこの昇圧電圧を蓄積する。センス動作時にこのキャパシタに蓄積された電荷を利用してセンス動作を行なうことにより、高速のセンス動作を行なうことを図る。しかしながら、このような場合、センスアンプ電源電圧 $V_{ccs}$ を電圧するセンス電源線に昇圧電圧用のキャパシタを設ける必要がある。この場合、キャパシタの容量値をマージンを見込んで設定した場合、必要以上にキャパシタ占有面積が大きくなり、チップ面積が増大するという問題が生じる。

【0023】また、システム全体の消費電流を低減するために、外部電源電圧 $V_{ext}$ の電圧レベルが低くされる。この外部電源電圧 $V_{ext}$ の電圧レベルが低下し、図50に示す電圧 $V_a$ のレベルに近くなったとき、すなわち外部電源電圧 $V_{ext}$ と内部電源電圧 $V_{cc}$ の差が小さくなったとき、図49に示す電流ドライフトランジスタ505bのソースドレイン間電圧が小さくなり、この電流ドライフトランジスタ505bの電流供給能力が低下し、内部電源電圧 $V_{cc}$ の変化時、高速で内部電源電圧 $V_{cc}$ の低下を補償することができなくなり、安定に内部電源電圧 $V_{cc}$ を所定電圧レベルに保持することができなくなる。この外部電源電圧 $V_{ext}$ の低下時の外部電源ノードから内部電源線への供給電流量の低下は、また、以下に示すように、比較器の出力信号もその1つの原因を構成する。

【0024】図53は、図49に示す比較器505aの構成の一例を示す図である。図53において、比較器505aは、外部電源ノードとノードNDAの間に接続されかつそのゲートがノードNDBに接続されるpチャネルMOSトランジスタPQ1と、外部電源ノードとノードNDBの間に接続されかつそのゲートがノードNDBに接続されるpチャネルMOSトランジスタPQ2と、ノードNDAとノードNDCの間に接続されかつそのゲートに基準電圧 $V_{ref}$ を受けるnチャネルMOSトランジスタNQ1と、ノードNDBとノードNDCの間に接続されかつそのゲートに内部電源電圧 $V_{cc}$ を受けるnチャネルMOSトランジスタNQ2と、ノードNDCと接地ノードとの間に接続されかつそのゲートに活性化

信号ACTを受けるnチャネルMOSトランジスタNQ3を含む。ノードNDAは、電流ドライフトランジスタ505bのゲートに接続される。

【0025】MOSトランジスタPQ1およびPQ2はカレントミラー回路を構成し、同じ大きさの電流をMOSトランジスタNQ1およびNQ2へ伝達する。MOSトランジスタNQ3は電流源トランジスタであり、この比較器505aの動作電流を制限する。活性化信号ACTは内部電源線505dに接続される回路が動作し、この内部電源電圧 $V_{cc}$ を消費するときに活性化される。

【0026】この図53に示す比較器505aの構成の場合、MOSトランジスタNQ3のチャネル抵抗により、ノードNDCの電圧レベルは接地電圧レベルよりも高くなる。MOSトランジスタNQ1およびNQ2のバックゲートが接地電圧レベルに接続されている場合、このノードNDCの電圧レベルが上昇すると、MOSトランジスタNQ1およびNQ2のバックゲート効果が大きくなり、それらのしきい値電圧が高くなり、その駆動電流量が小さくなる。ノードNDAの最低到達電位が、ノードNDC上の電圧レベルであり、接地電圧レベルよりも高くなる。このノードNDAは、電流ドライフトランジスタ505bのゲートに接続されている。したがって、外部電源電圧 $V_{ext}$ の電圧レベルが低下すると、この電流ドライフトランジスタ505bのゲートソース間電圧がさらに小さくなり、電流ドライフトランジスタ505bの電流供給能力が小さくなる。したがって、外部電源電圧 $V_{ext}$ と内部電源電圧 $V_{cc}$ の差が小さくなると、電流ドライフトランジスタ505bのソースドレイン間電圧が小さくなり、かつゲートソース間電圧が小さくなり、この電流ドライフトランジスタ505bの電流供給能力がさらに低下する。この電流ドライフトランジスタ505bの電流供給能力を大きくするためには、そのゲート幅 $W$ を、たとえば数mmの大きさに設定する必要があり、回路占有面積が増加するという問題が生じる。

【0027】また、活性化信号ACTは、内部電源線505d上の内部電源電圧 $V_{cc}$ の消費に合わせて活性化する必要がある。この活性化信号ACTを生成するための回路占有面積はできるだけ小さくする必要がある。

【0028】また、図53に示すような、活性化信号ACTにตอบสนองして選択的に活性化される降圧回路ではなく、スタンバイ時においても動作し、スタンバイ時のリーク電流を補償する降圧回路の場合、活性化信号ACTに代えて、一定電圧レベルのバイアス電圧が与えられる。この場合、ノードNDCの電圧レベルがより高くなり（電流源トランジスタのコンダクタンスが小さくなるため）、この外部電源電圧 $V_{ext}$ が低い場合、電流ドライフトランジスタの電流供給能力が低下するという問題がより顕著となり、スタンバイ時、リーク電流を補償するために、大きな占有面積の電流ドライフトランジスタ

タを用いる必要が生じるという問題が生じる。

【0029】上述のように、従来の内部電源回路の場合、動作パラメータ（動作温度および電源電圧）の広い範囲にわたって安定に内部電源電圧を小占有面積でかつ低消費電流で生成することができないという問題があった。

【0030】それゆえ、この発明の目的は、安定に内部回路を動作させる内部電源電圧を生成することのできる内部電源回路を提供することである。

【0031】この発明の他の目的は、低占有面積で安定に所望のレベルの内部電源電圧を発生することのできる内部電源回路を提供することである。

【0032】この発明のさらに他の目的は、広い動作パラメータ範囲にわたって安定に内部回路を動作させる内部電源電圧を低消費電流かつ低占有面積で発生することのできる内部電源回路に適用することのできる回路要素を提供することである。

【0033】

【課題を解決するための手段】請求項1に係る半導体装置は、外部電源電圧から内部電源電圧を生成するための内部電源回路と、この内部電源回路からの内部電源電圧を利用する内部回路と、この内部電源電圧を伝達する内部電源線に結合される容量素子と、この容量素子の容量値を調整するための手段を備える。

【0034】請求項2に係る半導体装置は、請求項1の内部電源回路が、第1の基準電圧を発生する手段と、この第1の基準電圧と異なる電圧レベルの第2の基準電圧を発生する手段と、切替信号にตอบสนองして第1および第2の基準電圧の一方を選択する選択手段と、選択手段からの基準電圧と内部電源線上の電圧とに従って外部電源電圧を供給するノードから内部電源線へ電流を供給する降圧手段を備える。

【0035】請求項3に係る半導体装置は、請求項2の装置が、さらに、特定の動作モードを指定する特定動作モード指示信号にตอบสนองして、第1の基準電圧発生手段の発生する第1の基準電圧を外部から設定可能とするためのモード設定手段を備える。

【0036】請求項4に係る半導体装置は、請求項1の内部回路が、行列状に配列される複数のメモリセルと、メモリセルの各列に対応して配置され、各々が内部電源電圧を一方動作電源電圧として利用して活性化時対応の列のメモリセルのデータを検知し増幅しかつラッチする複数のセンスアンプを含む。

【0037】請求項5に係る半導体装置は、請求項1の内部回路が、複数のメモリセルと、これら複数のメモリセルのうちの選択されたメモリセルのデータを外部へ出力するための出力回路とを含む。この出力回路は選択メモリセルのデータの電圧レベルを変換するためのレベル変換回路を含む。このレベル変換回路は内部電源電圧を一方動作電源電圧として動作する。

【0038】請求項6に係る半導体装置は、第1の温度領域で負またはゼロの温度特性を有しかつ第1の温度領域よりも高温の第2の温度領域では正の温度特性を有する基準電圧を発生する手段と、この基準電圧に基づいて内部電源電圧を発生する手段とを備える。

【0039】請求項7に係る半導体装置は、請求項6の基準電圧発生手段が、同一材料で形成される第1および第2の抵抗素子の抵抗比に比例する第1の電圧を発生する第1の電圧発生手段と、互いに異なる材料で形成される第3および第4の抵抗素子の抵抗比に比例する第2の電圧を発生する第2の電圧発生手段と、これら第1および第2の電圧発生手段からの第1および第2の電圧を受けて、高い方の電圧レベルに応じた電圧を基準電圧として発生するOR手段とを備える。

【0040】請求項8に係る半導体装置は、請求項6の第1の電圧発生手段が、外部電源電圧を受ける外部電源ノードと第1のノードとの間に接続される第1の抵抗素子と、外部電源ノードと第2のノードとの間に接続されかつそのゲートが第2のノードに接続される第1導電型の絶縁ゲート型電界効果トランジスタと、第1のノードと第3のノードとの間に接続されかつそのゲートが第2のノードに接続される第1導電型の第2の絶縁型電界効果トランジスタと、これら第2および第3のノードに同じ大きさの電流の流れを生じさせるカレントミラー回路と、第1の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成して、電流を供給する第1の電流源トランジスタと、この第1の電流源トランジスタからの電流を電圧に変換して第1の電圧を生成する第2の抵抗素子とを含む。

【0041】第2の電圧発生手段は、外部電源ノードと第4のノードとの間に接続される第3の抵抗素子と、外部電源ノードと第5のノードとの間に接続されかつそのゲートが第5のノードに接続される第1導電型の第3の絶縁ゲート型電界効果トランジスタと、第4のノードと第6のノードとの間に接続されかつそのゲートが第5のノードに接続される第1導電型の第4の絶縁ゲート型電界効果トランジスタと、第5および第6のノードに同じ大きさの電流を供給する第2のカレントミラー回路と、第3の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成する第2の電流源トランジスタと、この第2の電流源トランジスタの供給する電流を電圧に変換して、第2の電圧を生成する第4の抵抗素子を含む。

【0042】請求項9に係る半導体装置は、請求項8の第4の抵抗素子はゲートとドレインが相互接続された絶縁ゲート型電界効果トランジスタで構成される。

【0043】請求項10に係る半導体装置は、請求項8の第3の抵抗素子が高融点金属シリサイドで構成され、第4の抵抗素子が不純物拡散抵抗で構成される。好ましくは、この不純物拡散抵抗は、P型不純物を高濃度を含む。

【0044】請求項11に係る半導体装置は、請求項7のOR手段が、第1および第2の電圧をそれぞれのゲートに受けるソースカップル段と、このソースカップル段とソースが接続されかつそのゲートおよびドレインが基準電圧出力ノードに接続される絶縁ゲート型電界効果トランジスタを含む。請求項12に係る半導体装置は、外部電源電圧を受ける外部電源ノードと内部電源線との間に結合される電流ドライバトランジスタと、基準電圧と内部電源線上の内部電源電圧とを受け、これらの基準電圧および内部電源電圧のレベルをとともに変換するレベル変換回路と、このレベル変換回路からのレベル変換された基準電圧および内部電源電圧を比較し、その比較結果に従って電流ドライバトランジスタのコンダクタンスを調整する比較回路を備える。

【0045】請求項13に係る半導体装置は、請求項12の比較回路が、外部電源ノードに結合されて電流を供給するカレントミラー段と、このカレントミラー段と接地ノードとの間に結合され、ゲートにレベル変換された内部電源電圧および基準電圧をそれぞれ受ける絶縁ゲート型電界効果トランジスタ対とを含む。これら絶縁ゲート型電界効果トランジスタ対のそれぞれの方導通ノードは接地電圧を受ける。

【0046】請求項14に係る半導体装置は、請求項12のレベル変換回路が、第1のノードと第2のノードとの間に結合されかつ内部電源電圧をゲートに受ける第1の絶縁ゲート型電界効果トランジスタと、第1のノードと第3のノードとの間に結合されかつ基準電圧をゲートに受ける第2の絶縁ゲート型電界効果トランジスタと、第2のノードと接地ノードとの間に結合されかつそのゲートが第3のノードに結合される第3の絶縁ゲート型電界効果トランジスタと、第3のノードと接地ノードとの間に結合されかつそのゲートが第3のノードに結合される第4の絶縁ゲート型電界効果トランジスタとを含む。レベル変換された基準電圧が第3のノードから出力され、レベル変換された内部電源電圧が第2のノードから出力される。また、第1から第4の絶縁ゲート型電界効果トランジスタは同一導電型のトランジスタである。

【0047】請求項15に係る半導体装置は、第1のノードと第2のノードとの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備える。これら複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1つトランジスタを間に置いたトランジスタ間接続ノードに接続される。各接続ノードは、第1および第2のノード間の電圧を分圧した電圧を出力するノードとなる。

【0048】請求項16に係る半導体装置は、請求項15の複数の絶縁ゲート型電界効果トランジスタのバックゲートが、隣接する2つの絶縁ゲート型電界効果トランジスタのバックゲートが共通に該隣接する2つの絶縁ゲート型電界効果トランジスタの一方の第1の導通ノード

に接続されるように接続される。トランジスタ間の接続ノードは、隣接する2つの絶縁ゲート型電界効果トランジスタの第1および第2の導通ノードが接続される。

【0049】請求項17に係る半導体装置は、定電流源と、直列に接続される複数の抵抗素子を含み、この定電流源からの電流を受けて第1および第2の基準電圧を発生する基準電圧発生回路と、これら第1および第2の基準電圧それぞれに従って第1および第2の内部電源電圧を外部電源電圧から生成する降圧回路と、行列状に配列される複数のメモリセルを有するメモリアレイと、メモリセル各列に対応して設けられ、第1の内部電源電圧を利用して、活性化時対応の列のメモリセルのデータの検知および増幅を行なう複数のセンスアンプと、第2の内部電源電圧を使用してメモリセル選択動作を行なう周辺回路を備える。

【0050】請求項18に係る半導体装置は、請求項17の基準電圧発生回路が、定電流源からの電流を受ける第1のノードと第2のノードとの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備える。これら複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1つトランジスタを間に置いたトランジスタ間接続ノードに接続される。各接続ノードは第1および第2のノード間の電圧を分圧した電圧を出力するノードとなる。トランジスタ間接続ノードは、隣接MOSトランジスタ対の一方の第1導通ノードおよび他方の第2導通ノードが接続する。

【0051】請求項19に係る半導体装置は、複数の直列接続される遅延段を含み、動作モード指示信号を受ける遅延チェーンと、この遅延チェーンの所定の複数のノードの信号をデコードして活性化信号を発生するデコード回路と、このデコード回路からの活性化信号の活性化にตอบสนองして活性化され、内部電源電圧と基準電圧との差に応じて内部電源電圧のレベルを調整する降圧回路を含む。この降圧回路は、内部電源電圧および基準電圧それぞれに対応する電圧を比較する比較回路を含む。

【0052】請求項20に係る半導体装置は、請求項19のデコード回路が、降圧回路を活性化する第1の活性化信号と、この活性化された降圧回路の比較回路の動作電流を所定期間増加させる第2の活性化信号を生成する手段を含む。

【0053】請求項21に係る半導体装置は、請求項20のデコード回路が、動作モード指示信号の活性化および非活性化それぞれにตอบสนองして第2の活性化信号を活性化化する手段を含む。

【0054】請求項22に係る半導体装置は、請求項20の降圧回路が、第1の基準電圧と第1の内部電源電圧との差に応じて第1の内部電源電圧のレベルを調整する第1の内部降圧回路と、この第1の降圧回路と別に設けられ、第2の基準電圧と第2の内部電源電圧とを比較し該比較結果に従って第2の内部電源電圧のレベルを調整

する第2の内部降圧回路とを含む。第1および第2の活性化信号は、ともに、第1の内部降圧回路へ与えられる。

【0055】請求項23に係る半導体装置は、請求項20の降圧回路が、第1の基準電圧と第1の内部電源電圧との差に応じて第1の内部電源電圧のレベルを調整する第1の内部降圧回路と、この第1の内部降圧回路とは別に設けられ、第2の基準電圧と第2の内部電源電圧との差に応じて第2の内部電源電圧のレベルを調整する第2の内部降圧回路とを含む。第1および第2の活性化信号は、それぞれ、第1および第2の内部降圧回路へ与えられる。

【0056】請求項24に係る半導体装置は、外部電源電圧を受ける外部電源ノードと内部電源線との間に結合される電流ドライブトランジスタと、活性化時基準電圧とこの内部電源線上の内部電源電圧に各々対応する電圧を比較し、該比較結果に従って電流ドライブトランジスタのコンダクタンスを制御する比較回路と、内部電源電圧のレベルに応じて比較回路を活性化する活性化手段を備える。

【0057】請求項25に係る半導体装置は、請求項24の活性化手段が、内部電源電圧と基準電圧との差に従って比較回路を活性化する方法を含む。

【0058】請求項26に係る半導体装置は、請求項24の活性化手段が、基準電圧と異なる別の基準電圧と内部電源電圧との差に従って比較回路を活性化する方法を含む。

【0059】請求項27に係る半導体装置は、請求項24の活性化手段が、内部電源電圧と外部電源電圧との差に応じて比較回路を活性化する方法を含む。

【0060】請求項28に係る半導体装置は、請求項24ないし27のいずれかの活性化手段が、内部電源電圧と外部電源電圧との差が所定値以下となると比較回路を非活性化する方法を含む。

【0061】容量素子の容量値を調整することにより、安定に所望の電圧レベルの内部電源電圧を内部回路へ伝達することができ、また容量素子の容量値を調整可能とすることにより、その占有面積を最小とすることができる。

【0062】内部電源電圧の基準となる基準電圧を、第1の温度領域で負またはゼロの温度特性を持たせかつ第2の温度領域で正の温度特性を持たせることにより、低温領域および高温領域いずれにおいても、内部電源電圧レベルを最適化でき、内部回路の電界効果トランジスタを高速かつ安定に動作させることができる。

【0063】また基準電圧および内部電源電圧のレベルを変換した後に、比較することにより、比較器の動作領域を最適領域に設定することができ、外部電源電圧低下時においても、応答特性の優れた降圧回路を実現することができる。

【0064】また、直列接続されるMOSトランジスタのゲートを、1つ離れたトランジスタの接続ノードに接続することにより、しきい値電圧の影響を低減して、安定にこれらのMOSトランジスタを抵抗モードで動作させて、所望の電圧レベルの内部電圧を生成することができる。

【0065】1つの基準電圧発生回路から、第1および第2の基準電圧を発生する構成とすることにより、基準電圧発生回路の占有面積を低減することができる。

10 【0066】また、遅延信号のデコードにより、活性化信号を生成することにより、制御回路の占有面積を低減することができる。

【0067】また、内部電源電圧のレベルに応じて降圧回路の比較回路を選択的に活性化することにより、電源投入時においても、内部電源電圧レベルに応じて降圧回路を動作させることができ、内部電源線上に不必要に高い電圧が印加されるのを防止することができ、内部回路が破壊されるのを防止することができる。

【0068】

20 【発明の実施の形態】【全体の構成】図1は、この発明が適用される半導体記憶装置の全体の構成を概略的に示す図である。図1において、この半導体記憶装置は、従来と同様、メモリセルアレイ100、アドレス入力バッファ200、行選択回路250、センスアンプ回路300、列選択回路350および入出力回路400を含む。アドレス入力バッファ200、行選択回路250、列選択回路350および入出力回路400は、それぞれ周辺電源電圧 $V_{ccp}$ を一方動作電源電圧として受ける。センスアンプ回路300は、センス電源電圧 $V_{ccs}$ を受ける。

30 【0069】この半導体記憶装置はさらに、外部電源電圧 $V_{ext}$ から周辺電源電圧 $V_{ccp}$ およびセンス電源電圧 $V_{ccs}$ を生成する内部電源回路1と、この内部電源回路1の発生する電源電圧 $V_{ccp}$ および $V_{ccs}$ のレベルを動作モードに応じて調整する電圧レベル制御回路10を含む。内部電源回路1の構成は以下に詳細に説明するが、小占有面積で、広い外部電源電圧領域および温度領域にわたって安定に電源電圧 $V_{ccp}$ および $V_{ccs}$ を生成する。電圧レベル制御回路10は、電源投入時またはこの半導体記憶装置のセンスアンプ動作時において、内部電源回路1からの電源電圧 $V_{ccp}$ および/または $V_{ccs}$ の電圧レベルを調整しかつ安定化する。内部電源回路1および電圧レベル制御回路10により小占有面積で安定に内部電源電圧を生成して、この半導体記憶装置の内部回路を安定に動作させることができる。

【0070】なお、内部電源回路1は、内部に含まれる基準電圧発生回路からの基準電圧と内部電源電圧 $V_{cc}$  ( $V_{ccp}$ または $V_{ccs}$ )との比較結果に応じてこの内部電源電圧の電圧レベルを調整する。

50 【0071】【実施の形態1】

基準電圧発生回路1:図2は、この発明の実施の形態1に従う基準電圧発生回路の構成を示す図である。図2において、基準電圧発生回路2は、温度上昇とともにその電圧レベルが上昇する正の温度特性を有する第1の電圧V1を発生する第1の電圧発生回路2aと、温度上昇とともにその電圧レベルが低下するかまたは一定となる負またはゼロの温度特性を有する第2の電圧V2を生成する第2の電圧発生回路2bと、第1の電圧V1および第2の電圧V2のうちの高い電圧レベルの電圧を選択して基準電圧Vrefとして出力するOR回路2cを含む。

【0072】第1の電圧発生回路2aは、外部電源ノードとノードNDDの間に接続されかつそのゲートがノードNDDに接続されるpチャネルMOSトランジスタQ1と、そのソースが抵抗素子R1を介して外部電源ノードに接続されかつドレインがノードNDEに接続されかつゲートがノードNDDに接続されるpチャネルMOSトランジスタQ2と、ノードNDDと接地ノードの間に接続されかつそのゲートがノードNDEに接続されるnチャネルMOSトランジスタQ3と、ノードNDEと接地ノードの間に接続されかつそのゲートがノードNDEに接続されるnチャネルMOSトランジスタQ4と、ノードNDDの電圧レベルに応じて外部電源ノードから電流を供給するpチャネルMOSトランジスタQ5と、このMOSトランジスタQ5から供給される電流I3を電圧に変換して第1の電圧V1を生成する抵抗素子RL1を含む。MOSトランジスタQ1のチャネル幅W1は、MOSトランジスタQ2のチャネル幅W2よりも十分小さくされる。MOSトランジスタQ3およびQ4はカレントミラー回路を構成し、またMOSトランジスタQ1およびQ5はカレントミラー回路を構成する。抵抗素子R1およびRL1は、同じ材料で構成される。

【0073】第2の電圧発生回路2bは、第1の電圧発生回路2aと同様の構成を備える。しかしながら、この第2の電圧発生回路2bは、抵抗素子R2およびRL2が材料が異なる。他の構成はこの第1の電圧発生回路2aと同じであり、対応する部分には同じ参照番号を付す。したがってMOSトランジスタQ1~Q5は、第1の電圧発生回路2aおよび第2の電圧発生回路2bにおいて、同じサイズ(チャネル幅とチャネル長の比)の関係を満たす。

【0074】OR回路2cは、外部電源ノードとノードNDFの間に接続されかつそのゲートがノードNDFに接続されるpチャネルMOSトランジスタQ6と、外部電源ノードとノードNDGの間に接続されかつそのゲートがノードNDFに接続されるpチャネルMOSトランジスタQ7と、ノードNDFとノードNDHの間に接続されかつそのゲートに第1の電圧V1を受けるnチャネルMOSトランジスタQ8と、ノードNDFとノードNDHの間に接続されかつそのゲートに第2の電圧V2を受けるnチャネルMOSトランジスタQ9と、ノードN

DGとノードNDHの間に接続されかつそのゲートがノードNDGに接続されるnチャネルMOSトランジスタQ10と、ノードNDHと接地ノードの間に接続されかつそのゲートに外部電源電圧Vextを受けるnチャネルMOSトランジスタQ11を含む。MOSトランジスタQ6およびQ7がカレントミラー回路を構成し、MOSトランジスタQ8、Q9およびQ10がソース結合論理(ソース・カップルド・ロジック)を構成する。次に、動作について説明する。

【0075】まず、第1の電圧発生回路2aの動作について説明する。MOSトランジスタQ3およびQ4は、カレントミラー回路を構成し、また、これらのMOSトランジスタQ3およびQ4のサイズ(チャネル幅とチャネル長の比)は互いに等しくされており、MOSトランジスタQ1およびQ2には、同じ大きさの電流が流れる( $I1 = I2$ )。MOSトランジスタQ1およびQ2は、そのチャネル幅が異なっている。抵抗素子R1は、十分大きな抵抗値を有しており、MOSトランジスタQ1およびQ2に流れる電流は微小電流であり、これらのMOSトランジスタQ1およびQ2はサブスレッショルド領域で動作する。MOSトランジスタQ1のゲートソース間電圧を、電圧Vgs1とし、MOSトランジスタQ2のゲートソース間電圧を、電圧Vgs2とする。これらのMOSトランジスタQ1およびQ2がサブスレッショルド領域で動作しており、またカレントミラー回路Q3およびQ4により、電流I1およびI2の大きさが等しいため、次式が得られる。

【0076】

$$I0 \cdot W1 \cdot \exp(q \cdot V_{gs1} / n \cdot k \cdot T) = I0 \cdot W2 \cdot \exp(q \cdot V_{gs2} / n \cdot k \cdot T)$$

ここで、I0は、MOSトランジスタQ1およびQ2の単位チャネル幅あたりに流れる電流量を示し、nは、空乏層容量の関数で表わされる係数である。また、Tは温度、qは電子の電荷量、およびkはボルツマン定数を示す。上式から、次式が得られる。

$$V_{gs1} - V_{gs2} = (n \cdot k \cdot T / q) \ln(W2 / W1)$$

一方、MOSトランジスタQ1およびQ2ゲート電位は等しいため、抵抗素子R1に印加される電圧Vr1は、 $V_{gs1} - V_{gs2}$ となる。したがって、上式から、この抵抗素子R1を流れ電流、すなわちMOSトランジスタQ1およびQ2を流れる電流I1およびI2は、次式で表わされる。

【0078】

$$I1 = I2 = (V_{gs1} - V_{gs2}) / R1 = (n \cdot k \cdot T / q) \ln(W2 / W1) \cdot 1 / R1$$

MOSトランジスタQ1およびQ5がカレントミラー回路を構成しており、これらのMOSトランジスタQ1およびQ5はそのサイズが等しくされており、電流I1およびI3の大きさは等しい。したがって、抵抗素子RL

1により生成される第1の電圧V1は、次式で表わされる。

$$【0079】 V1 = (n \cdot k \cdot T / q) \ln (W2 / W1) \cdot RL1 / R1$$

第2の電圧発生回路2bも、第1の電圧発生回路2aと同じ回路構成を備えており、またMOSTランジスタQ1～Q5のサイズ比が同じであるため、第2の電圧V2は、次式で表わされる。

$$【0080】 V2 = (n \cdot k \cdot T / q) \ln (W2 / W1) \cdot RL2 / R2$$

OR回路2cは、電圧V1およびV2を、MOSTランジスタQ8およびQ9のそれぞれのゲートに受ける。MOSTランジスタQ8～Q10は、それらのソースがノードNDHに結合されており、ソースフォロワモードで動作する。基準電圧Vrefが電圧V1およびV2よりも高い場合には、ノードNDHの電圧レベルが、Vref-Vthとなり、MOSTランジスタQ8およびQ9がオフ状態となる。この状態においては、MOSTランジスタQ6には電流が流れないため、応じてMOSTランジスタQ7には電流が流れず、ノードNDGからの基準電圧Vrefはその電圧レベルが低下する(MOSTランジスタQ11により放電される)。

【0081】基準電圧Vrefが第1の電圧V1と第2の電圧V2の間的时候には、MOSTランジスタQ8およびQ9が一方がオン状態となる。今、第1の電圧V1が第2の電圧V2よりも高い状態を考える。この状態においては、MOSTランジスタQ8がオン状態、MOSTランジスタQ9がオフ状態となり、MOSTランジスタQ6およびQ8を介して電流がMOSTランジスタQ11へ流れる。このMOSTランジスタQ6を介して流れる電流と同じ大きさの電流がMOSTランジスタQ7を介してMOSTランジスタQ10へ流れる。今、基準電圧Vrefは、第1の電圧V1よりも低いため、MOSTランジスタQ10は、オフ状態であり、このノードNDGの電圧レベルが上昇し、基準電圧Vrefの電圧レベルが上昇する。

【0082】基準電圧Vrefが電圧V1およびV2よりも低い場合には、同様に、MOSTランジスタQ8およびQ9一方が、電圧V1およびV2の電圧レベルの関係に応じて一方がオン状態、他方がオフ状態となるため、同様に基準電圧Vrefの電圧レベルが上昇する。したがって、基準電圧Vrefは、電圧V1およびV2の高い方の電圧レベルに等しい電圧レベルに保持される。

【0083】図3は、基準電圧Vrefの温度特性を示す図である。抵抗素子R1およびRL1を同じ材料で構成する。この場合、先の式から、(RL1/R1)の項において、これらの抵抗素子R1およびRL1の温度依存性が打消される。したがって、第1の電圧V1は、温度Tに比例してその電圧レベルが上昇する。一方、抵抗

素子RL2にタングステンシリサイドなどの高融点金属シリサイドを用い、抵抗素子R2として、P+拡散抵抗を用いる。P+拡散抵抗の温度依存性は、タングステンシリサイドなどの高融点金属シリサイドの温度依存性に比べて大きく、高温領域においては、抵抗素子R2の抵抗値が、抵抗素子RL2の抵抗値よりも高くなる。したがって、RL2/R2は、ほぼ、1/Tに比例するため、第2の電圧V2は、上式から、その温度特性が、ほぼ0の温度係数を維持し、ほぼ全温度領域にわたって一定の電圧レベルとなる。基準電圧Vrefは、電圧V1およびV2の高い方の電圧レベルにほぼ等しい電圧レベルである。したがって、図3に示すように、低温領域においては、第2の電圧V2にほぼ等しく、ほぼ0の温度特性を有し、一方、高温領域においては、第1の電圧V1に等しくなり、正の温度特性を有する。この基準電圧Vrefに従って内部電源電圧Vccが生成される。したがって、高温領域においては、正の温度特性を有し、低温領域においては、ほぼ0の温度特性を有する内部電源電圧Vccが生成される。高温領域において、MOSTランジスタの動作速度が低下する可能性のあるときに、この内部電源電圧Vccを電圧レベルを高くすることにより、MOSTランジスタのゲート電圧を高くして高速動作させることができる。一方、低温領域においてMOSTランジスタのしきい値電圧が絶対値が大きくなる場合において、内部電源電圧Vccの電圧レベルの低下を抑制することにより、確実に、MOSTランジスタをオン状態へ駆動して動作させることができ、誤動作を防止することができる。

【0084】[変更例] 図4(A)は、この発明の実施の形態1の変更例の構成を示す図である。図4において、図2に示す第2の電圧発生回路2bに含まれる抵抗素子RL2の構成を示す。他の構成は図2に示す構成と同じである。図4(A)において、抵抗素子RL2は、ダイオード接続されたpチャネルMOSTランジスタDQaおよびDQbを含む。これらのダイオード接続されたMOSTランジスタDQaおよびDQbを用いた場合、そのしきい値電圧の絶対値が温度上昇とともに低下する。しきい値電圧の絶対値が小さくなることは、MOSTランジスタDQaおよびDQbに電流が流れやすくなり、等価的に、抵抗値が小さくなることに対応する。したがって、抵抗素子R2としては、正の温度特性を有する不純物拡散抵抗を用い、かつこの図4(A)に示す抵抗素子RL2を用いた場合、第2の電圧V2は、温度上昇とともに、その電圧レベルが低下する(RL2/R2  $\propto 1/T^2$ )。すなわち、図4(B)に示すように、第2の電圧V2は、負の温度特性を有する。一方、第1の電圧V1は、正の温度特性を有する。したがって、基準電圧Vrefは、低温領域においては負の温度特性を有し、高温領域においては正の温度特性を有する。この基準電圧Vrefに従って、内部電源電圧Vccが生成さ

れるため、内部電源電圧 $V_{cc}$ も、高温領域で正の温度特性、低温領域で負の温度特性を有する。したがって、高温領域においてMOSトランジスタのドレイン電流が減少し（チャネル抵抗に起因する）、動作速度が低下する場合、その電源電圧 $V_{cc}$ のレベルを高くすることにより、MOSトランジスタの動作速度低下を抑制することができる。また、低温領域において、内部電源電圧 $V_{cc}$ を、その電圧レベルを上昇させることにより、MOSトランジスタのしきい値電圧が大きくなった場合においても、確実のMOSトランジスタをオン状態として動作させることができる。

【0085】なお、上述の構成において、MOSトランジスタのゲート電位を電源電圧または接地電圧レベルの一定電圧レベルに固定するようにMOSトランジスタを抵抗接続した場合、そのチャネル抵抗は温度上昇とともに上昇する正の温度特性を有する。したがって、各抵抗素子の特性およびこの半導体記憶装置において要求される内部電源電圧 $V_{cc}$ （ $V_{ccp}$ または $V_{ccs}$ ）の温度特性に応じて、適当な抵抗素子の組合せが用いられればよい。正の温度特性を有する第1の電圧 $V_1$ は、同じ材料または同じ構成の抵抗接続されたMOSトランジスタを用いることにより生成することができる。一方、第2の電圧 $V_2$ は、異なる材料または構成の抵抗素子を用いることにより、負または0の温度特性を有することができる。

【0086】以上のように、この発明の実施の形態1に従えば、低温領域において0または負の温度特性を有し、かつ高温領域において正の温度特性を有する基準電圧を生成しているために、内部電源電圧も同様の温度特性を有することができ、この基準電圧に基づいて生成される内部電源電圧を利用する回路を全温度範囲にわたって安定かつ高速に動作させることができる。

【0087】なお、図4（A）において、pチャネルMOSトランジスタが用いられている。pチャネルMOSトランジスタのしきい値電圧の絶対値の温度係数は、約 $-2\text{mV}/^\circ\text{C}$ であり、またnチャネルMOSトランジスタのしきい値電圧の温度係数は、約 $-1.5\text{mV}/^\circ\text{C}$ である。したがって、ダイオード接続されたnチャネルMOSトランジスタが抵抗素子 $R_{L2}$ として用いられてもよい。また、不純物拡散抵抗として、N型不純物を注入したN+拡散抵抗が用いられてもよい。

【0088】また、図3および図4（B）においては、低温領域と高温領域の境界領域（温度特性の変化温度）は、温度 $0^\circ\text{C}$ 近傍の温度に設定している。しかしながら、この境界温度は、この基準電圧発生回路または半導体記憶装置が用いられる動作温度領域に応じて適当な値に設定されればよい。

【0089】【実施の形態2】図5は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。図5においては、図1に示す内部電源回路1の構

成を概略的に示す。この図5に示す内部電源回路1においては、周辺電源電圧 $V_{ccp}$ を生成する周辺降圧回路3pおよびセンス電源電圧 $V_{ccs}$ を生成するセンス降圧回路3sに対し、共通の基準電圧発生回路2からそれぞれ周辺用基準電圧 $V_{refp}$ および $V_{refs}$ が与えられる。1つの基準電圧発生回路2を用いて、周辺用基準電圧 $V_{refp}$ およびセンス用基準電圧 $V_{refs}$ を生成することにより、回路占有面積および消費電流が低減される。また、これらの基準電圧 $V_{refp}$ および $V_{refs}$ の温度特性を同じとすることができ、広い温度範囲にわたってこれらの内部電源電圧 $V_{ccp}$ および $V_{ccs}$ の温度特性および電圧レベルの関係を一定に保持することができ、内部回路（周辺回路およびセンスアンブ回路）を安定に動作させることができる。

【0090】図6は、図5に示す基準電圧発生回路2の構成を示す図である。図6において、基準電圧発生回路2は、外部電源ノードとノードNDIの間に接続され、一定の電流 $I$ を供給する定電流源CCSと、ノードNDIと接地ノードとの間に直列に接続される抵抗素子 $R_{10} \sim R_{14}$ を含む。定電流源CCSと抵抗素子 $R_{10}$ の間のノードNDIから周辺用基準電圧 $V_{refp}$ が出力され、抵抗素子 $R_{10}$ および $R_{11}$ の間のノードNDJからセンス用基準電圧 $V_{refs}$ が出力される。これらの基準電圧 $V_{refp}$ および $V_{refs}$ は次式で表わされる。

$$\begin{aligned} V_{refp} &= I \cdot 5 \cdot R \\ V_{refs} &= I \cdot 4 \cdot R \end{aligned}$$

ここで、 $R$ は抵抗素子 $R_{10} \sim R_{14}$ 各々の抵抗値を示す。したがって、これらの基準電圧 $V_{refp}$ および $V_{refs}$ は、以下の関係を満たす。

$$V_{refs} = 4 \cdot V_{refp} / 5$$

したがって、すべての温度範囲にわたって、これらの基準電圧 $V_{refp}$ および $V_{refs}$ を一定の關係に保持することができる。これらの基準電圧 $V_{refp}$ および $V_{refs}$ に従って周辺用電源電圧 $V_{ccp}$ およびセンス用電源電圧 $V_{ccs}$ が生成されるため、同様、これらの内部電源電圧 $V_{ccp}$ および $V_{ccs}$ も、同様、全温度範囲にわたって一定の關係を保持し、安定に動作する半導体記憶装置を実現することができる。この比率が一定値からずれた場合、たとえば周辺回路であるメモリセルデータの書込/読出を行なう回路部分の動作速度および動作マージンが変化し、たとえばセンス開始タイミングが相対的に早くなるまたは列選択タイミングが相対的に早くなるなどのタイミングミスマッチが生じ、安定な内部回路動作を保証することができなくなる。

【0093】図7は、外部電源電圧と基準電圧との關係を示す図である。図7において、外部電源電圧 $V_{ext}$ が上昇するにつれて、基準電圧 $V_{refp}$ および $V_{refs}$ もその電圧レベルが上昇する。定電流源CCSが電流 $I$ を供給し始めると、その時点から、基準電圧 $V_{re}$

f<sub>p</sub>およびV<sub>ref s</sub>は、一定の比率(4/5)の大きさを有する。したがって、外部電源電圧V<sub>ext</sub>が低い場合であっても、内部回路構成要素であるMOSトランジスタが動作可能となると、この半導体記憶装置は動作可能となる。したがって、外部電源電圧V<sub>ext</sub>の下限側領域における半導体記憶装置の動作マージンを改善することができる。

【0094】また、直列接続された抵抗素子を用いて周辺用基準電圧V<sub>ref p</sub>およびセンス用電源電圧V<sub>ref s</sub>を生成しているため、常時、周辺用基準電圧V<sub>ref p</sub>をセンス用基準電圧V<sub>ref s</sub>以上の電圧レベルに保持することができる。また、別々の基準電圧発生回路を用いてこれらの基準電圧を発生する場合に比べて、これらの電圧値を調整するのが容易となる。すなわち、周辺用基準電圧V<sub>ref p</sub>の電圧レベルを調整すれば、応じて自動的に、センス用基準電圧V<sub>ref s</sub>の電圧レベルも調整される。

【0095】なお、上述の構成において、これらの基準電圧V<sub>ref p</sub>およびV<sub>ref s</sub>は、5:3の関係を有してもよい。

【0096】図8は、図6に示す定電流源CCSの構成の一例を示す図である。図8において、定電流源CCSは、外部電源電圧V<sub>ext</sub>を伝達する電源線VCLに並列に接続されかつそれぞれのゲートにバイアス電圧φCONを受けるpチャネルMOSトランジスタQ20~Q23と、これらのMOSトランジスタQ20~Q23それぞれと直列に接続されるプログラム素子Pr0~Pr3を含む。プログラム素子Pr0~Pr3は、共通に出力ノードに接続される。電源線VCLには、また電源投入時等において、この電源線VCL上の電圧が急激に変化するのを防止するためのローパスフィルタとして機能する遅延回路DLAが設けられる。遅延回路DLAは抵抗とキャパシタとで構成される。

【0097】プログラム素子Pr0~Pr3は、スイッチングトランジスタまたはヒューズ素子またはこれらの組合せで構成される。テスト工程時において基準電圧V<sub>ref p</sub>の電圧レベルを測定し、最適値(または設計値)に設定するようにプログラム素子Pr0~Pr3をプログラムする(ヒューズ素子の場合溶断する)。

【0098】バイアス電圧φCONは、図2に示す電圧発生回路2aおよび2bに含まれる定電流発生部と同様の構成を有する回路から与えられる(トランジスタQ5のゲートへ与えられる電圧)。これらのMOSトランジスタQ20~Q23は、同じサイズを備えており、同じ電流供給力を有する。これらのプログラム素子Pr0~Pr3のプログラム(選択的導通/遮断)を行なうことにより、定電流源CCSからの電流Iを最適値に設定することができる。外部電源電圧V<sub>ext</sub>とバイアス電圧φCONの電圧差が、MOSトランジスタQ20~Q23のしきい値電圧の絶対値よりも大きくなると、この定

電流源CCSが動作し、定電流Iを供給する。

【0099】この電流Iが流れると、その時点から、基準電圧V<sub>ref p</sub>およびV<sub>ref s</sub>は、一定の比率をもって変化する。基準電圧V<sub>ref p</sub>およびV<sub>ref s</sub>が図7において外部電源電圧V<sub>ext</sub>に応じて変化するの、このバイアス電圧φCONが、外部電源電圧V<sub>ext</sub>の電圧レベルの上昇に応じて変化するためである(図2の電圧発生回路の構成参照)。

【0100】これにより、容易に、所望の電圧レベルの基準電圧V<sub>ref p</sub>およびV<sub>ref s</sub>を生成することができ、これらの基準電圧の電圧レベルのトリミングのための工程を簡略化することができる。

【0101】なお、上述の説明においては、抵抗素子R10~R14は、同じ抵抗値を有するように説明している。しかしながら、これらの抵抗値R10~R14の抵抗値を異ならせることにより、これらの基準電圧V<sub>ref p</sub>およびV<sub>ref s</sub>の比率を任意の値に設定することができる。

【0102】[変更例] 図9は、この発明の実施の形態2の変更例の構成を示す図である。図9において、この基準電圧発生回路2は、外部電源ノードとノードND0の間に接続される定電流源CCSと、ノードND0と接地ノードの間に直列に接続される同一サイズかつ同一しきい値電圧のpチャネルMOSトランジスタQ25~Q29を含む。これらのMOSトランジスタQ25~Q29は、直列接続において1つトランジスタを間においた接地ノードへそれぞれのゲートが接続される(トランジスタQ29を除く)。すなわち、MOSトランジスタQ25のゲートがMOSトランジスタQ26およびQ27の間の接地ノードND2に接続され、MOSトランジスタQ26のゲートがMOSトランジスタQ27およびQ28の間の接続ノードND3に接続され、MOSトランジスタQ27のゲートがMOSトランジスタQ28およびQ29の間の接地ノードND4に接続される。MOSトランジスタQ29のゲートは接地ノードに接続される。

【0103】また、これらのMOSトランジスタQ25~Q29のバックゲート(基板領域)は、2つのMOSトランジスタを対として、対をなすMOSトランジスタの高電位側の接続ノードに接続される。すなわち、MOSトランジスタQ25およびQ26のバックゲートがノードND0に接続され、MOSトランジスタQ27およびQ28のバックゲートがノードND2に接続される。MOSトランジスタQ29はバックゲートがノードND4に接続される。次に動作について説明する。

【0104】電源投入前においては、ノードND0~ND4はすべて接地電圧レベルのLレベルにある。電源が投入され、外部電源電圧V<sub>ext</sub>の電圧レベルが上昇すると、まず定電流源CCSから電流が供給され、ノードND0の電圧レベルが上昇する。ノードND0の電圧レ

ベルが、MOSTランジスタQ25のしきい値電圧の絶対値以上になると、このときまだMOSTランジスタQ26はオフ状態であり、接続ノードND2は接地電圧レベルであり、MOSTランジスタQ25がオン状態となり、ノードND1へ電流を供給する。このノードND1の電圧レベルが、MOSTランジスタQ26のしきい値電圧の絶対値よりも高くなると、次いでMOSTランジスタQ26がオン状態となる。次いでノードND2へ電流が供給され、このノードND2の電圧レベルが、MOSTランジスタQ27のしきい値電圧の絶対値よりも高くなると、MOSTランジスタQ27がオン状態となり、ノードND3へ電流を供給する。このとき、ノードND0は、MOSTランジスタQ25をオン状態とするため、 $2 \cdot V_{thp}$ 以上の電圧レベルとなる必要がある。ここで $V_{thp}$ はMOSTランジスタQ25-Q29のしきい値電圧の絶対値を示す。このノードND3の電圧レベルがMOSTランジスタQ28のしきい値電圧の絶対値よりも高くなると、MOSTランジスタQ28がオン状態なり、ノードND4へ電流を供給する。このノードND4の電圧がMOSTランジスタQ29のしきい値電圧の絶対値よりも高くなると、MOSTランジスタQ29がオン状態となり、ノードND0から接地ノードへの電流経路が形成される。したがって、この図9に示す基準電圧発生回路2の構成の場合、ノードND0~ND4のうち3つの連続するノード間の電圧が、MOSTランジスタQ25~Q29のしきい値電圧の絶対値よりも高い電圧レベルとなると、これらのMOSTランジスタQ25~Q29はすべてオン状態となる。ノードND0の電圧は最低 $3 \cdot V_{thp}$ 以上あれば、この回路は動作する(2つの連続するMOSTランジスタ間の電圧は $2 \cdot V_{thp}$ )。これらのMOSTランジスタQ25~Q29がオン状態となった後は、これらのMOSTランジスタQ25~Q29のチャネル抵抗に応じて、基準電圧 $V_{refp}$ および $V_{refs}$ の電圧レベルが決定される。この場合、MOSTランジスタQ25~Q29は、すべて同じ動作領域で動作し、チャネル抵抗もほぼ等しくなるため、基準電圧 $V_{refp}$ および $V_{refs}$ は、以下の関係を満たす。

$$[0105] V_{refp} = 4 \cdot V_{refs} / 5$$

MOSTランジスタQ25~Q29が、同じ動作領域で動作するのは以下の理由による。MOSTランジスタQ25~Q29のそれぞれのゲートは、MOSTランジスタを1つおいた接続ノードに接続される。したがって、MOSTランジスタQ25~Q28のゲートソース間電圧は、2つのMOSTランジスタにおける電圧降下量に等しい(MOSTランジスタQ29の場合には、MOSTランジスタQ29における電圧降下量にそのゲートソース間電圧が等しくなる)。一方、MOSTランジスタQ25~Q28のそれぞれのバックゲートは、隣接する2つのMOSTランジスタを単位として、接続され

る。すなわち隣接する2つのMOSTランジスタの高電位の接続ノードに共通にそれらのバックゲートが接続される。バックゲートバイアスについては、最大1個のMOSTランジスタにおける電圧降下量の影響が各隣接MOSTランジスタ対において生じるだけである。一方、バックゲートバイアス効果は、ソースを基準とするバックゲートの電圧 $V_{BS}$ の絶対値の平方根の関数で与えられるため、その効果は十分小さくなる。したがって、これらのMOSTランジスタQ25~Q29を、ほぼ同じ動作領域で動作させることができ、これらのMOSTランジスタQ25~Q29のチャネル抵抗をほぼ同じとして、基準電圧 $V_{refp}$ を分圧してセンス用基準電圧 $V_{refs}$ を生成することができる。

【0106】ダイオード接続されたMOSTランジスタを抵抗素子として用いた場合、これらのダイオード接続されたMOSTランジスタすべてをオン状態とする必要があり、しきい値電圧の影響により、基準電圧の下限が決定される。たとえば図9においてMOSTランジスタQ25~Q29をすべてダイオード接続した場合、MOSTランジスタQ25~Q29において最大しきい値電圧の絶対値の電圧降下が必要とされるため、 $5 \cdot V_{thp}$ が、周辺基準電圧 $V_{refp}$ の下限電圧となる。したがって、この図9に示す構成を利用することにより、周辺用基準電圧 $V_{refp}$ の下限電圧を $3 \cdot V_{thp}$ と十分低くすることができ、低電源電圧下においても安定に基準電圧 $V_{refp}$ および $V_{refs}$ を生成することができる。

【0107】また、これらのMOSTランジスタQ25~Q29のゲートをすべて接地電圧に接続し、MOSTランジスタQ25~Q29のバックゲートをノードND0に接続した場合、これらのMOSTランジスタQ25~Q29のゲートソース間電圧がすべてにおいて異なり、またバックゲートバイアス効果もすべてのMOSTランジスタにおいて異なるため、MOSTランジスタQ25~Q29をすべて同じ動作条件で動作させることができない。MOSTランジスタQ25~Q29のチャネル抵抗が異なり、正確に、周辺基準電圧 $V_{refp}$ を所望の比(整数比)で分圧してセンス基準電圧 $V_{refs}$ を生成することができない。しかしながら、図9に示す構成を利用することにより、正確に所定の整数比 $m/n$ をもった基準電圧 $V_{refp}$ および $V_{refs}$ を生成することができ、低電源電圧下においても、安定に所望の電圧レベルの基準電圧 $V_{refp}$ および $V_{refs}$ を容易に生成することができる。

【0108】なお、図9に示す基準電圧発生回路2の構成において、ノードND2から基準電圧を取出すことにより、 $3 \cdot V_{refp} / 5$ の基準電圧を生成することができる。

【0109】[他の用途への適用] 図10は、この発明の実施の形態2の基準電圧発生回路の他の用途への適用

例を示す図である。図10においては、入力電圧VINを、活性化信号ENDIVの活性化時分圧する分圧回路の構成が一例として示される。図10において、この分圧回路は、活性化信号ENDIVを反転するCMOSインバータINVと、インバータINVの出力信号がLレベルのとき導通し、入力電圧VINを伝達するpチャネルMOSトランジスタSQ0と、活性化信号ENDIVの活性化時に導通し、この分圧回路に電流経路を形成するnチャネルMOSトランジスタSQ1と、MOSトランジスタSQ0およびSQ1の間に直列に接続されるpチャネルMOSトランジスタQ30~Q34を含む。MOSトランジスタQ30~Q34は、それぞれそのゲートが、1つトランジスタを間においた接続ノードに接続され、またバックゲートが、2つの隣接MOSトランジスタを単位として高電位の接続ノードに接続される。このMOSトランジスタQ30~Q34の構成は、図9に示すMOSトランジスタQ25~Q29の構成と同じである。MOSトランジスタSQ0およびQ30の間から電圧V10が出力され、MOSトランジスタQ30およびQ31の間の接続ノードから電圧V08が出力され、MOSトランジスタQ31およびQ32の間の接続ノードから電圧V06が出力される。次いで、この図10に示す分圧回路の動作を、図11に示す電圧波形図を参照して説明する。

【0110】活性化信号ENDIVがLレベルのときに、MOSトランジスタSQ0およびSQ1がオフ状態にあり、この分圧回路の各内部ノードは、接地電圧レベルのフローティング状態にある。活性化信号ENDIVがHレベルとなると、MOSトランジスタSQ0およびSQ1がオン状態となり、電圧入力ノードから接地ノードへの電流経路が形成される。入力電圧VINが接地電圧レベルのときには、電圧V10、V08およびV06もそれぞれ接地電圧レベルである。この入力電圧VINの電圧レベルが上昇し、MOSトランジスタQ30~Q34それぞれのしきい値電圧の絶対値の3倍以上となると、MOSトランジスタQ30~Q34に電流が流れ、電圧V10、V08およびV06の電圧レベルが上昇する。

【0111】図11においては、入力電圧VINが約0.6V程度において、電圧V10、V08およびV06の電圧レベルが上昇し始める状態が示される。すべてMOSトランジスタQ30~Q34がオン状態となると、スイッチングトランジスタSQ0は、入力電圧VINをしきい値電圧の損失なしに伝達するため、電圧V10が、入力電圧VINに等しくなる。一方、電圧V08が、 $4 \cdot V10 / 5$ の電圧レベルとなり、また電圧V06が、 $3 \cdot V10 / 5$ の電圧レベルとなる。以降、入力電圧VINの電圧レベルが上昇するにつれて、電圧V10、V08およびV06の電圧レベルが上昇する。したがって広い入力電圧の範囲にわたって、一定の比率を有

する電圧を生成することができる。また、抵抗素子に代えてMOSトランジスタを用いるため、その占有面積を大幅に低減することができる。

【0112】この図10に示す分圧回路において電圧Vddは、内部電源電圧Vccであってもよく、また外部電源電圧Vextであってもよい。この分圧回路を用いれば、たとえばテスト動作モード時において、この分圧回路からの分圧電圧を用いて動作マージンの測定などを行なうことができる。

10 【0113】なお、図9および図10に示す構成においては、分圧用の抵抗MOSトランジスタは5個用いられている。これは、半導体記憶装置における、周辺用電源電圧Vrefpとセンス用電源電圧Vrefsの比に応じて決定されている。したがって、この分圧用抵抗MOSトランジスタの数は、5以上であってもよく、この分圧比m/nに応じて適当な数nに定められればよい。

20 【0114】【実施の形態3】図12は、この実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。図12においては、センスアンプ回路300に対してセンス電源電圧Vccsを伝達するセンス電源回路の構成が示される。図12において、センス電源回路は、センス基準電圧Vrefsを発生するセンス基準電圧発生回路2sと、周辺用基準電圧Vrefpを発生する周辺基準電圧発生回路2pと、切換信号φSWにตอบสนองしてこれらの基準電圧VrefsおよびVrefpの一方を選択する切換回路4と、切換回路4から与えられる基準電圧の一方に従って降圧動作を行なってセンス電源電圧Vccsを生成するセンス降圧回路3sを含む。このセンス基準電圧発生回路2sおよび周辺基準電圧発生回路2pは、別々の回路であってもよく、また先の実施の形態2におけるように1つの回路であってもよい。センス電源電圧Vccs用の基準電圧Vrefsと周辺電源電圧Vccp用の基準電圧Vrefpが生成されればよい。

30 【0115】このセンス降圧回路3sからのセンス電源電圧Vccsを伝達するセンス電源線5には、安定化容量7が設けられる。この安定化容量7に格納された電荷を利用してセンスアンプ回路300の充電電流消費によるセンス電源電圧Vccsの低下を補償する。

40 【0116】図13は、図12に示すセンスアンプ回路300の構成の一例を示す図である。図13においては、1つのビット線対に対応して設けられるセンスアンプSAの部分の構成を示す。センスアンプSAは、ゲートおよびドレインが交差結合されるpチャネルMOSトランジスタQ41およびQ42と、センスアンプ活性化信号φSPの活性化にตอบสนองして導通し、センス電源線5上のセンス電源電圧VccsをMOSトランジスタQ41およびQ42のソースに伝達するpチャネルMOSトランジスタQ43と、ゲートおよびドレインが交差結合されたnチャネルMOSトランジスタQ44およびQ4

5と、センスアンプ活性化信号 $\phi$  SNの活性化にตอบสนองして導通し、MOSTランジスタQ44およびQ45のソースへ接地線上の接地電圧 $V_{ss}$ 伝達するnチャネルMOSTランジスタQ46を含む。MOSTランジスタQ41およびQ44のドレインはビット線BLに接続され、MOSTランジスタQ42およびQ45のドレインは、ビット線/BLに接続される。

【0117】ビット線BLおよび/BLに交差する方向にワード線WLが配設される。ワード線WLとビット線BLの交差部に対応してメモリセルMCが配置される。メモリセルMCは、情報を記憶するメモリセルキャパシタMQと、ワード線WL上の信号電位にตอบสนองして導通しメモリセルキャパシタMQをビット線BLに接続するnチャネルMOSTランジスタ(アクセストランジスタ)MTを含む。

【0118】センスアンプSAにおいては、センスアンプ活性化信号 $\phi$  SPおよび $\phi$  SNが活性化されると、MOSTランジスタQ41、Q42、Q44およびQ45による差動増幅回路が動作し、ビット線BLおよび/BLの高電位のビット線をセンス電源電圧 $V_{ccs}$ レベルに駆動し、かつ低電位のビット線を接地電圧レベルに放電する。したがって、センスアンプSAの動作時には、センス電源線5上のセンス電源電圧 $V_{ccs}$ が消費される。このセンス電源線5上のセンス電源電圧 $V_{ccs}$ のレベル低下を、安定化容量7に格納された電荷で補償する。これにより、センスアンプを高速かつ安定に動作させる。次いで、この図12および図13に示す回路の動作について図14に示す信号波形図を参照して説明する。

【0119】スタンバイ状態時には、ワード線WLは非選択状態になり、またセンスアンプ活性化信号 $\phi$  SPおよび $\phi$  SNも非活性状態にある。この状態において、容量7には、周辺用基準電圧 $V_{refp}$ により決定される周辺電源電圧 $V_{ccp}$ レベルの電荷が充電される。図14においては、この周辺電源電圧 $V_{ccp}$ が、周辺用基準電圧 $V_{refp}$ に等しい場合が示される。

【0120】ワード線WLが選択されて、その電圧レベルが上昇すると、メモリセルMCのアクセストランジスタMTがオン状態となる。メモリセルキャパシタMQとビット線BLとがアクセストランジスタMTを介して電気的に結合され、ビット線BLとメモリセルキャパシタMQの間で電荷の移動が生じる。この電荷の移動により、それまで、中間電圧( $V_{ccs}/2$ )のレベルでフローティング状態にあったビット線BLの電圧が変化する。図14においては、ビット線BLに、Hレベルデータが読出された場合の信号波形が示される。ビット線/BLは、選択メモリセルが接続されていないため、中間電圧 $V_{ccs}/2$ の電圧レベルを保持する。

【0121】次いで、センスアンプ活性化信号 $\phi$  SNがHレベルの活性状態となり、センスアンプSAに含まれ

るMOSTランジスタQ44およびQ45が差動増幅動作を行ない、ビット線/BLの電圧レベルを接地電圧レベルへ低下させる。また、センスアンプ活性化信号 $\phi$  SPが少し遅れて活性化され、MOSTランジスタQ41およびQ42により、ビット線BLの電圧レベルが、センス電源電圧 $V_{ccs}$ レベルに駆動される。

【0122】センス動作時、センス降圧回路3sが、センス電源線5上の電圧 $V_{ccs}$ を、センス基準電圧レベルに保持しようとする。また、センス動作時、安定化容量7に格納された電荷が消費される。したがって、センス電源線5上の電源電圧は、センス動作開始後、基準電圧 $V_{refp}$ のレベルから低下するが、その電圧レベルは、センス基準電圧 $V_{refs}$ が規定する電圧レベル以下に低下するのは防止される。これにより、センスアンプSAのMOSTランジスタQ41およびQ42は、高速でセンス動作を行なう。またセンス開始時において、このMOSTランジスタQ43を介して与えられるセンス電源電圧 $V_{ccs}$ の電圧レベルが低下するのを抑制されるために、これらのMOSTランジスタQ41およびQ42は、ビット線BLおよび/BL上の電圧レベルに応じて正確にセンス動作を行なうことができる。センス降圧回路3sは、このセンスアンプSAがセンス動作を完了し、ラッチ状態になったときには、電流はほとんど消費されないため、このセンス電源線5上のセンス電源電圧 $V_{ccs}$ を基準電圧 $V_{refs}$ の規定する電圧レベルに保持する。この場合には、単に、リーク電流により、センス電源線5上の電圧が消費されるだけである。

【0123】メモリサイクルが完了すると、ワード線WLが非選択状態のLレベルへ立下がり、またセンスアンプ活性化信号 $\phi$  SPおよび $\phi$  SNも非活性状態へ駆動される。このセンスアンプ活性化信号 $\phi$  SPの非活性化にตอบสนองして切換信号 $\phi$  SWが所定期間Hレベルとなり、図12に示す切換回路4が、センス基準電圧発生回路2sからのセンス基準電圧 $V_{refs}$ に代えて、周辺基準電圧発生回路2pからの周辺基準電圧 $V_{refp}$ を選択してセンス降圧回路3sへ与える。これにより、センス電源線5および安定化回路7の充電電圧レベルが、周辺基準電圧 $V_{refp}$ が規定する電圧レベルに復帰する。この後、再びセンス切換信号 $\phi$  SWがLレベルの非活性状態となると、再び、切換回路4は、センス基準電圧 $V_{refs}$ を選択してセンス降圧回路3sへ与える。この間、センス電源線5は、安定化容量7により、ほぼ周辺用電源電圧 $V_{ccp}$ のレベルに保持される。

【0124】この図12および図13に示すように、センス電源線をセンス動作開始前においては、このセンス電源電圧レベルよりも高い電圧レベルに充電しておくことにより、センス動作時に流れる大きなセンス電流によるセンス電源電圧 $V_{ccs}$ の電圧レベル低下を補償して、安定にセンス動作を行なうことができる。

【0125】なお、一般にセンス降圧回路3sは、比較

的大きな電流駆動力を要求されており、高速応答特性は要求されていない。安定化容量7を設けることにより、このセンス動作開始時におけるセンス電源電圧 $V_{ccs}$ の急激な低下を抑制することができる。この安定化容量7の容量値は、センスアンプ回路300（センスアンプSA）における充電電流により消費される電荷を補償することができればよい。たとえば、この選択ワード線WLに、1K個のビット線対が接続する場合、センスアンプ回路300は、1K本のビット線を、充電する必要がある。このとき、最も大きな充電電流が流れる場合は、選択ワード線に接続されるメモリセルがすべてLレベルデータを保持している場合である。この場合には、ビット線振幅は、 $V_{ccs}/2$ となる。したがって、この安定化容量7の容量値Cは、ビット線容量を $C_b$ とすると、その最大値は次式で与えられる。

$$【0126】 C = C_b \cdot 1K \cdot V_{ccs} / 2 \cdot (V_{ccp} - V_{ccs})$$

通常は、製造プロセスにおけるバラツキを考慮して、この安定化容量7の容量値としては、余裕を見込んだ少し大きめの容量値が設定される。したがって、安定化容量7の容量値が不必要に大きい場合、安定化容量7の占有面積が増加する。以下、このマージンを見込むことなく、必要最小限の容量値を有する安定化容量7を形成する手法について説明する。

【0127】図15は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を示す図である。図15に示す構成においては、外部からの信号に従ってテストモードが指定されたか否かを検出するテストモード検出回路11と、このテストモード検出回路11からのテストモード指示信号TENを反転するインバータ12と、インバータ12の出力信号とテストモード検出回路11からのテストモード指示信号TENとに従って、パッド

（または外部端子）13を周辺基準電圧発生回路2pの出力部に接続するトランスファゲート9が設けられる。

【0128】インバータ12の出力信号は、また、周辺基準電圧発生回路2pへ与えられ、その活性化時周辺基準電圧発生回路2pの基準電圧発生動作を停止させる。また、センス電源線5に対して、このセンス電源線5上の電圧を外部でモニタ可能とするために、専用のモニタ用パッド14が設けられる。これらのトランスファゲート9、テストモード検出回路11、切換回路4、安定回路7およびパッド14が、図1に示す電圧レベル制御回路10の構成に含まれる。次に、この図15に示す構成の動作について説明する。

【0129】通常動作モード時において、テストモード指示信号TENは、Lレベルの非活性状態にあり、トランスファゲート9は非導通状態にあり、また周辺基準電圧発生回路2pは活性状態にある。この状態においては、切換回路4が切換指示信号φSWに従って周辺基準電圧発生回路2pからの周辺基準電圧Vrefpおよび

センス基準電圧発生回路2sからのセンス基準電圧Vrefsの一方を選択して基準電圧Vrefxとしてセンス降圧回路3sへ与える。

【0130】テストモード時においては、外部からの信号により、テストモードが指示されると、テストモード検出回路11が、テストモード指示信号TENを活性状態のHレベルへ駆動する。これにより、トランスファゲート9がオン状態となり、周辺基準電圧発生回路2pの出力ノードがパッド13に電気的に接続される。また周辺基準電圧発生回路2pは、インバータ12を介して与えられる補のテストモード指示信号により非活性状態とされ、基準電圧発生動作を停止する。外部から、このパッドまたは外部ピン端子（以下、単にパッドと称す）13を介して周辺用基準電圧Vrefpの電圧レベルを強制的に設定する。この状態で半導体記憶装置を動作させて、周辺基準電圧Vrefpの電圧レベルを最適値に設定する。これは、たとえば、アクセス時間、タイミングマージンなどを考慮して決定される。このときまた、パッド14を介して、外部から、このセンス電源線5上のセンス電源電圧Vccsの電圧レベルをモニタし、センス動作時における電圧レベルの変化を外部でモニタする。このときには、安定化容量7はセンス電源線5に接続されている。周辺回路を高速で動作させかつこのセンス電源線5におけるセンス電源電圧Vccsの電圧レベルが大きく低下しない（基準電圧Vrefsの規定する電圧レベルより低下しない）電圧レベルとなるように、この周辺基準電圧Vrefpの最適値を決定する。

【0131】この周辺基準電圧Vrefpの最適値が決定されると、 $(V_{refp} - V_{refs}) \cdot C$ が所定の一定の値（センスアンプ動作時においてビット線充電に利用される総電荷量に等しい値Q）となるように、この安定化容量7の容量値の最適値を決定する。この安定化容量7の容量値が最適値となるように、たとえば、テスト設計または世代交代時のマスク改訂時などにおいて安定化容量7の容量値を調整する。

【0132】なお、この安定化容量7の容量値Cの最適値は、 $(V_{refp} - V_{refs}) \cdot C = \text{一定値}$ の関係式から求めている。これは、センス動作時において、安定化容量7に充電された電荷がすべて消費され、その場合において、センス電源線5上のセンス電源電圧Vccsが、基準電圧Vrefsが決定する電圧レベルに等しくなることを示している。センス動作時において、センス降圧回路3sからも電荷が供給されるため、この安定化容量7の容量値はさらに小さくすることができる。この場合には、モニタパッド14を用いて外部でセンス電源線5の電圧変化をモニタし、このセンス電源電圧Vccsの変化電圧をモニタすることにより容量値の最適値が決定されてもよい。すなわち、センス降圧回路3sおよび切換回路4を動作させ、センス動作時におけるセンス電源電圧Vccsの変化をモニタパッド14を介して

外部でモニタし、その電圧波形から、過不足電荷量を求め、この求められた過不足電荷量を補償するように安定化容量7の容量値を決定する（センス電源線5の最低電圧は $V_{ref s}$ とする）。

【0133】図16は、図15に示す周辺基準電圧発生回路2pの構成を概略的に示す図である。図16において、周辺基準電圧発生回路2pは、テストモード指示信号 $TEN$ の非活性化時に導通し、外部電源電圧 $V_{ext}$ を伝達するpチャネルMOSトランジスタ2paと、MOSトランジスタ2paを介して外部電源ノードに結合され、一定の電流を供給する定電流源2pbと、定電流源2pbからの電流を電圧に変換する抵抗回路2pcと、テストモード指示信号/ $TEN$ の非活性化時導通し、抵抗回路2pcを接地ノードに接合するnチャネルMOSトランジスタ2pdを含む。抵抗回路2pcは、先の実施の形態2において示したポリシリコン抵抗素子、MOSトランジスタを用いた抵抗素子いずれが用いられてもよい。

【0134】図16に示す周辺基準電圧発生回路2pの構成においては、テストモード指示信号 $TEN$ の非活性化時においてMOSトランジスタ2paおよび2pdがオン状態とされ、外部電源ノードから接地ノードへ電流が流れる経路が形成され、抵抗回路2pcの有する抵抗値に従った周辺用基準電圧 $V_{ref p}$ が生成される。

【0135】なお、この周辺基準電圧 $V_{ref p}$ の最適値が決定された場合、その最適値に合うように、抵抗回路2pcの有する抵抗値または定電流源の電流値がトリミングされる構成が用いられてもよい。抵抗値のトリミングは、ヒューズ素子などを用いて行なうことができる。

【0136】この図16に示す周辺基準電圧発生回路2pを利用することにより、テストモード時、この周辺基準電圧発生回路2pを出力ハイインピーダンス状態に設定することができる。

【0137】なおパッド13は、安定化容量7の最適化のために、外部から周辺基準電圧を印加するために用いられる専用のパッドであってもよい（外部ピン端子に結合されない）。

【0138】また、モニタ用のパッド14はセンス電源線5に常時結合され、このセンス電源線5上の電源モニタ時において、パッド14が有する寄生容量がこのセンス電源線5のセンス電源電圧 $V_{cc s}$ の変化に及ぼす影響を、通常動作時にも与えるようにする。

【0139】なお、上述の説明においては、周辺基準電圧 $V_{ref p}$ の最適値は、この周辺回路の動作マージンおよび動作速度およびセンス電源線5上のセンス電源電圧 $V_{cc s}$ の変化を考慮して決定されると説明している。しかしながら、単に、この周辺基準電圧 $V_{ref p}$ は、周辺回路の動作特性を最適化するようにその最適値が決定され、この最適値に応じてセンス電源電圧 $V_{cc}$

sとの関係式のみから安定化容量7の容量値が求められる構成が用いられてもよい。

【0140】〔変更例1〕図17は、この発明の実施の形態3の変更例1の構成を概略的に示す図である。この図17に示す構成においては、図15に示す構成と異なり、周辺基準電圧発生回路2pと切換回路4の間に、テストモード指示信号 $TEN$ の活性化時非導通状態となるトランスファゲート15が設けられる。また、周辺基準電圧発生回路2pは、反転テストモード指示信号を受けず、常時動作する。他の構成は、図15に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0141】この図17に示す構成において、テストモード時においては、トランスファゲート15が非導通状態となり、周辺基準電圧発生回路2pと切換回路4とを切離し、一方トランスファゲート9が、パッド13と切換回路4とを接続する。これにより、周辺基準電圧 $V_{ref p}$ は、周辺基準電圧発生回路2pの発生する基準電圧の影響を受けることなく外部から強制的に設定することができる。周辺基準電圧発生回路2pにおいて、テストモード時、この周辺基準電圧発生回路2pを非活性化状態に保持するための回路構成が不要となり、周辺基準電圧発生回路2pは、制御用トランジスタのチャネル抵抗などの影響を受けることなく正確に所望の電圧レベルの基準電圧を生成することができる。

【0142】また、この図17に示す構成においては、周辺基準電圧発生回路2pおよびセンス基準電圧発生回路2sは、1つの回路構成とし、常時、所定の比を持つ周辺基準電圧およびセンス基準電圧を生成する構成をも利用することができる（実施の形態2参照）。

30 【0143】図18は、図15および図17に示す安定化容量の構成の一例を示す図である。図18において、センス電源線5に並列にキャパシタ $C0 \sim Cn$ が接続される。これらのキャパシタ $C0 \sim Cn$ と並列に、トランスファゲート $XT0 \sim XTn$ が配設される。キャパシタ $C0 \sim Cn$ と接地ノードの間にキャパシタ $C0 \sim Cn$ それぞれと直列に、スイッチングトランジスタ $TR0 \sim TRn$ が設けられる。

【0144】トランスファゲート $XT0 \sim XTn$ およびスイッチングトランジスタ $TR0 \sim TRn$ の導通/非導通を制御するために、キャパシタ $C0 \sim Cn$ それぞれに対応してヒューズプログラム回路 $FPO \sim FPN$ が設けられる。ヒューズプログラム回路 $FPO \sim FPN$ は、それぞれ対応のトランスファゲート $XT0 \sim XTn$ およびスイッチングトランジスタ $TR0 \sim TRn$ を相補的に導通状態とする。これらのキャパシタ $C0 \sim Cn$ は、同じ容量値を有し、必要な容量値を実現するために、ヒューズプログラム $FPO \sim FPN$ の制御のもとに、キャパシタ $C0 \sim Cn$ を選択的にセンス電源線5に接続する。トランスファゲート $XT0 \sim XTn$ は、それぞれ導通時、対応のキャパシタ $C0 \sim Cn$ を短絡する。一方、対応の

スイッチングトランジスタ $TR_0 \sim TR_n$ がオフ状態となり、用いられないキャパシタは、その両電極が短絡された状態となる。これにより、用いられないキャパシタ $C_0 \sim C_n$ が、センス電源線5に対する寄生容量として作用するのを防止することができる。

【0145】また、キャパシタ $C_0 \sim C_n$ とスイッチングトランジスタ $TR_0 \sim TR_n$ の接続順序を逆にしてセンス電源線5にスイッチングトランジスタ $TR_0 \sim TR_n$ を接続した場合、これらのスイッチングトランジスタ $TR_0 \sim TR_n$ のチャネル抵抗により遅延回路が形成され、高速で用いられるキャパシタの充放電を行なうことができない。図18に示すように、トランスファゲート $XT_0 \sim XT_n$ により、選択的に対応のキャパシタ $C_0 \sim C_n$ を短絡することにより、使用されないキャパシタに電荷が蓄積されるのを防止でき、ノイズ源または寄生容量として作用して悪影響を他の回路に及ぼすのを防止する。

【0146】図19は、図18に示すヒューズプログラム回路 $FP_0 \sim FP_n$ の構成を示す図である。図19においては、1つのヒューズプログラム回路 $FP$ の構成を示す。図19において、ヒューズプログラム回路 $FP$  ( $FP_0 \sim FP_n$ )は、外部電源ノードに一方導通ノードが接続されるpチャネルMOSトランジスタ $20a$ と、MOSトランジスタ $20a$ とノード $20i$ の間に接続される溶断可能なリンク素子 $20b$ と、ノード $20i$ と接地ノードの間に接続されるnチャネルMOSトランジスタ $20c$ と、ノード $20i$ と接地ノードの間に接続されかつそのゲートが外部電源ノードに接続されるnチャネルMOSトランジスタ $20d$ と、ノード $20i$ 上の電圧を反転するインバータ $20e$ と、インバータ $20e$ の出力信号を反転するインバータ $20f$ と、インバータ $20f$ の出力信号を反転するインバータ $20h$ と、ノード $20i$ と接地ノードの間に接続されかつそのゲートにインバータ $20e$ の出力信号を受けるnチャネルMOSトランジスタ $20g$ を含む。

【0147】インバータ $20e$ および $20f$ は、外部電源電圧 $V_{ext}$ を一方動作電源電圧として動作する。インバータ $20f$ および $20h$ の出力信号によりトランスファゲート $XT$ の導通/非導通が制御される。インバータ $20f$ の出力信号により、スイッチングトランジスタ $TR$ の導通/非導通が制御される。インバータ $20h$ の出力信号がトランスファゲート $XT$  ( $XT_0 \sim XT_n$ )のCMOSトランスマッションゲートのnチャネルMOSトランジスタのゲートに与えられる。

【0148】MOSトランジスタ $20d$ は、チャネル幅とチャネル長の比 ( $W/L$ ) が十分小さくされており、その電流駆動力は十分小さくされる。MOSトランジスタ $20a$ および $20c$ は、それぞれゲートが接地ノードに接続される。次に動作について簡単に説明する。

【0149】リンク素子 $20b$ が導通状態 (非溶断) の

ときには、ノード $20i$ は、MOSトランジスタ $20a$ を介して充電され、その電圧レベルがインバータ $20e$ の入力論理しきい値よりも高くなると、インバータ $20e$ の出力信号がLレベルとなり、MOSトランジスタ $20g$ がオフ状態となる。MOSトランジスタ $20d$ は、チャネル幅とチャネル長の比が十分小さくされており、微小電流しか流さないため、ノード $20i$ の電圧レベルは、外部電源電圧 $V_{ext}$ レベルとなる。また、インバータ $20f$ の出力信号がHレベル (外部電源電圧レベル) となり、トランスファゲート $XT$ が非導通状態、スイッチングトランジスタ $TR$ がオン状態となり、キャパシタ $C$ が、センス電源線5に対する安定化容量として寄与する。

【0150】リンク素子 $20b$ が溶断されたときには、常にノード $20i$ は、MOSトランジスタ $20d$ を介して接地電圧レベルへ緩やかに駆動され、このノード $20a$ の電圧レベルがインバータ $20e$ の入力論理しきい値よりも低くなると (電源投入後)、インバータ $20e$ の出力信号がHレベルとなり、MOSトランジスタ $20g$ がオン状態となり、ノード $20a$ が接地電圧レベルに保持される。一方、インバータ $20f$ の出力信号がLレベルとなり、スイッチングトランジスタ $TR$ がオフ状態、トランスファゲート $XT$ が導通状態なり、キャパシタ $C$ を短絡する。

【0151】nチャネルMOSトランジスタ $20c$ が設けられているのは、電源投入時において、このノード $20a$ が負電圧レベルに駆動されるのを防止するためである。リンク素子 $20b$ の溶断時、初期状態において、電源電圧 $V_{ext}$ の電圧レベルも低く、またMOSトランジスタ $20d$ の電流駆動力も小さく、この負電圧レベルを高速で回復することができず、誤った初期状態に設定される可能性があり、MOSトランジスタ $20c$ により、これを防止する。

【0152】この図19に示すキャパシタおよびヒューズプログラム回路を利用することにより、ウェハプロセスにおいて各容量値の最適値を決定した後、ヒューズプログラムにより、最適な容量値を有する安定化容量を実現することができる。

【0153】各チップごとに、最適なセンス電源電圧の安定化容量を実現することができ、高速かつ安定にセンサンプを動作させることができる。

【0154】[安定化容量の構成2] 図20は、センス電源電圧安定化用のキャパシタの他の構成を示す図である。図20に示す構成においては、センス電源線5に対し、並列に、キャパシタ $C_{sa} \sim C_{sn}$ が設けられる。最適化された周辺基準電圧から、最適容量値が決定され、その最適容量値に応じてこれらのキャパシタ $C_{sa} \sim C_{sn}$ のうちのキャパシタが選択される。これらのキャパシタ $C_{sa} \sim C_{sn}$ は同じ容量値を有する。たとえばキャパシタ $C_{sa} \sim C_{sn}$ がマスク配線により、セン

ス電源線 5 と接地線 25 の間に接続され、センス電源電圧安定化容量として利用される。残りのキャパシタ  $C_{sm}$ ,  $C_{sn}$ ... は、他の用途に適用される。他の用途の適用としては、周辺回路電源電圧を安定化するためのデカップリング容量、またはチャージポンプ動作を行なうチャージポンプ用キャパシタがある。センス電源線に対しては、この場合、キャパシタを有効に利用して、キャパシタ占有面積を低減することができる。

【0155】この図 20 に示す構成の場合には、マスク配線でキャパシタが選択されるため、各ウェハごとまたはチップの実力に合わせてセンス電源安定化キャパシタを最適化することはできないものの、センス電源安定化用のキャパシタ占有面積を実効的に低減することができる（使用されないキャパシタを他の用途に適用することができるため）。

【0156】[変更例 3] 図 21 は、この発明の実施の形態 3 の変更例 3 の構成を概略的に示す図である。図 21 においては、センス降圧回路 3s からのセンス電源電圧  $V_{ccs}$  および周辺降圧回路 3p からの周辺電源電圧  $V_{ccp}$  が切換回路 4 により選択されてセンス電源線 5 上に伝達される。したがって、この図 21 に示す構成においては、センスアンプの動作時に、所定期間周辺降圧回路 3p からの周辺電源電圧  $V_{ccp}$  がセンス電源線 5 上に伝達される。センスアンプ動作時において、周辺回路は、通常、動作していない（行選択動作完了後、センスアンプが活性化され、このセンス動作完了後列選択動作が行なわれる）。したがって、この図 21 に示すようにセンス降圧回路 3s からのセンス電源電圧  $V_{ccs}$  および周辺降圧回路 3p からの周辺電源電圧  $V_{ccp}$  を切換信号  $\phi_{SW}$  に従って選択してセンス電源線 5 上に伝達しても周辺回路動作に何ら悪影響を及ぼすことなく、センス電源電圧  $V_{ccs}$  の電圧レベルを、周辺電源電圧  $V_{ccp}$  レベルにまで上昇させることができる。

【0157】[他の用途への適用] 図 22 は、この発明の実施の形態 3 の他の用途への適用例を示す図である。図 22 に示す構成において、電源線 SIG に、デカップリング容量  $C_d$  が接続される。この電源線 SIG 上の電圧を内部回路 IK が利用する。この電源線 SIG には、専用のモニタ用のパッド PDB が接続され、またこの電源線 SIG の電圧レベルは、パッド PDA を介して外部から強制的に設定可能である（図 15 および図 17 に示す構成参照）。デカップリング容量  $C_d$  は、この電源線 SIG 上の電圧を一定の電圧レベルに保持する機能を備え、ノイズ制御機能を備える。

【0158】一定のシミュレーションにより、このデカップリング容量  $C_d$  の候補容量値を求める。テストモード時において、この電源線 SIG 上の電圧をパッド PDB を介して外部から変化させ、このとき、パッド PDB を介して電源線 SIG 上の電圧変化をモニタする。電源線 SIG の電圧変化の最も少ない電圧（パッド PDA を介

して印加される電圧)を求める。そのときの電圧を  $V_t$  とする。電源線 SIG 上に実際に伝達される電圧を電圧  $V_j$  とする。その際、最適化された電圧  $V_t$  は、内部回路 IK が消費した電流またはノイズを補償しており、そのときの消費電荷は、 $V_t \cdot C_d$  で与えられる。したがってこの安定化容量  $C_d$  の最適値  $C_{do}$  は、次式で与えられる。

$$【0159】C_{do} = (V_t / V_j) \cdot C_d$$

これにより、安定化容量  $C_d$  の最適値を求めることができ、最小占有面積の安定化容量を実現することができる。

【0160】[他の用途への適用例 2] 図 23 は、この発明の実施の形態 3 の適用例 2 の構成を概略的に示す図である。図 23 において、出力データビット  $Q_0 \sim Q_n$  それぞれに対応して出力バッファ  $OB_0 \sim OB_n$  が設けられる。これらの出力バッファ  $OB_0 \sim OB_n$  は、内部から読出された内部読出データ  $RD_0, /RD_0 \sim RD_n, /RD_n$  をバッファ処理してそれぞれ対応の出力データ  $Q_0 \sim Q_n$  を生成して外部へ出力する。これらの出力バッファ  $OB_0 \sim OB_n$  は、同じ構成を備えるため、図 23 においては、出力バッファ  $OB_0$  の構成を代表的に示す。

【0161】出力バッファ  $OB_0$  は、内部読出データ  $RD_0$  の電圧レベルを高電圧  $V_{pp}$  レベルに変換するレベル変換回路 26a と、レベル変換回路 26a の出力信号が H レベルのとき導通し、H レベルへ出力データビット  $Q_0$  を駆動する  $n$  チャンネル MOS トランジスタ 27a と、補の内部読出データ  $/RD_0$  が H レベルのとき導通し、接地電圧レベルへ出力データビット  $Q_0$  を駆動する  $n$  チャンネル MOS トランジスタ 27b を含む。レベル変換回路 26a は、高電圧  $V_{pp}$  を一方動作電源電圧として動作し、内部読出データ  $RD_0$  の H レベル（内部電源電圧  $(V_{ccs}$  レベル)）を高電圧  $V_{pp}$  レベルに変換する。MOS トランジスタ 27a は、電源電圧  $V_{ccq}$  を一方動作電源電圧として受け、このレベル変換回路 26a からの電源電圧  $V_{ccq}$  よりも高い高電圧  $V_{pp}$  をゲートに受けて、しきい値電圧損失を生じさせることなく、電源電圧  $V_{ccq}$  レベルの H レベルへ出力データビット  $Q_0$  を駆動する。

【0162】これらの出力バッファ  $OB_0 \sim OB_n$  に共通に、第 1 の高電圧  $V_{pp1}$  を発生する  $V_{pp1}$  発生回路 30a と、第 1 の高電圧  $V_{pp1}$  よりも高い第 2 の高電圧  $V_{pp2}$  を発生する  $V_{pp2}$  発生回路 30b と、切換信号  $\phi_a$  に応答して高電圧  $V_{pp1}$  および  $V_{pp2}$  の一方を内部高電圧伝達線 30d 上に伝達する切換回路 30c と、この内部高電圧伝達線 30d の電圧を安定化する安定化容量 30e を含む。

【0163】この内部高電圧伝達線 30d が、出力バッファ  $OB_0 \sim OB_n$  それぞれに含まれるレベル変換回路へ高電圧  $V_{pp}$  を供給する。切換信号  $\phi_a$  が、出力バッ

ファOB0～OBnの動作開始時および動作完了時に所定期間第2の高電圧Vpp2を選択するように発生される。したがって、これらの出力バッファOB0～OBnにおいてレベル変換回路26aが動作するとき、内部高電圧伝達線30d上の電圧は第2の高電圧Vpp2レベルに保持されており、レベル変換回路26aの動作時においても、内部高電圧Vppの電圧レベルの低下を伴うことなく安定にレベル変換動作を行なうことができる。これにより、出力バッファOB0～OBnは、出力トランジスタ27aのしきい値電圧損失の影響を受けることなく、また動作速度低下を生じることなく高速で電源電圧Vccqレベルの出力データビットを生成する。

【0164】この内部高電圧伝達線30dの安定化容量30eの容量値を最適化するために、先の図15から図20において説明した構成を利用することができ、最小占有面積で安定に高電圧Vppを生成する安定化容量30eを実現することができる。

【0165】なお、Vpp1発生回路30aおよびVpp2発生回路30bは、たとえばチャージポンプ回路で構成される。切換回路φaは、標準DRAMの場合、出力イネーブル信号/OEの活性化および非活性化にตอบสนองして所定期間第2の高電圧Vpp2を選択する状態に設定される。クロック信号に同期してデータの出力を行なう同期型半導体記憶装置の場合、切換信号φaは、データ読出を指示するリードコマンドが与えられてから、所定期間（通常、CASレイテンシよりも短い期間）経過後バースト長（1つのリードコマンドにより、連続的に読出されるデータビットの数）期間クロック信号に同期して切換信号φaが、第2の高電圧Vpp2を選択する状態に設定される。

【0166】なお、この切換信号φaは、内部読出データRD0、/RD0～RDn、/RDnの変化を検出することに第2の内部高電圧Vpp2を選択する状態に設定されるように構成されてもよい。

【0167】この図23に示す構成を利用することにより、小占有面積で、高速にかつ安定にデータを出力することのできる出力回路を実現することができる。

【0168】以上のように、この発明の実施の形態3に従えば、電源線または内部高電圧線などの所定電圧が印加される電圧を安定化するためのキャパシタの最適値を、外部から観測可能としたため、最小占有面積の安定化容量を実現することができ、装置占有面積を低減することができる。

【0169】〔実施の形態4〕図24は、この発明の実施の形態4に従う半導体記憶装置の要部の構成を示す図である。図24においては、図1に示す内部電源回路1に含まれる降圧回路の構成が示される。センス降圧回路および周辺降圧回路は、動作特性は異なるものの、同じ回路構成を有するため、図24においては、1つの降圧回路3を示す。

【0170】図24において、降圧回路3は、内部電源線37上の内部電源電圧Vintと基準電圧Vrefのレベルを変換してレベル変換された電源電圧SFVinおよびレベル変換された基準電圧SFVrを出力するローカルレベル変換回路35と、ローカルレベル変換回路35からのレベル変換された電圧SFVinおよびSFVrを比較し、その比較結果を示す信号φdrを出力する比較器3cと、比較器3cの出力信号φdrに従って外部電源ノードから内部電源線37へ電流を供給するpチャンネルMOSトランジスタで構成される電流ドライブトランジスタ3dを含む。比較器3cが、差動増幅回路で構成され、その出力信号φdrの振幅は、ほぼ外部電源電圧Vextから接地電圧の間に設定される。これにより、外部電源電圧Vextの電圧レベル低下時における電流ドライブトランジスタ3dのゲートソース間電圧低下の問題を解消し、電流ドライブトランジスタ3dの電流供給能力の急激な低下を防止する。

【0171】比較器3cは、外部電源ノードとノードNDMの間に接続されかつそのゲートがノードNDMに接続されるpチャンネルMOSトランジスタQ61と、外部電源ノードとノードNDNの間に接続されかつそのゲートがノードNDMに接続されるpチャンネルMOSトランジスタQ60と、ノードNDNと接地ノードの間に接続されかつそのゲートに、レベル変換された基準電圧SFVrを受けるnチャンネルMOSトランジスタQ62と、ノードNDMと接地ノードの間に接続されかつそのゲートにレベル変換された内部電源電圧SFVinを受けるnチャンネルMOSトランジスタQ63を含む。MOSトランジスタQ60およびQ61が、カレントミラー段を構成し、MOSトランジスタQ62およびQ63が、比較段を形成する。ノードNDNから電流ドライブトランジスタ3dのゲートへ与えられる出力信号φdrが出力される。次に動作について簡単に説明する。

【0172】ローカルレベル変換回路35は、後にその構成および動作については詳細に説明するが、基準電圧Vrefおよび内部電源電圧Vintをそれぞれレベル変換してレベル変換電圧SFVrおよびSFVinを生成する。これらのレベル変換電圧SFVrおよびSFVinは、それぞれ基準電圧Vrefおよび内部電源電圧Vintに対応した電圧レベルであり、それらの電圧差が基準電圧Vrefおよび内部電源電圧Vintの電圧差よりも小さくなる（擬似的分圧で電圧差も分圧されている）が、正確にこれらの基準電圧Vrefおよび内部電源電圧Vintの電圧差を反映している。比較器3cが、このレベル変換電圧SFVrおよびSFVinを差動増幅する。レベル変換電源電圧SFVinが、レベル変換基準電圧SFVrよりも低いときには、MOSトランジスタQ62が、MOSトランジスタQ60を介して与えられる電流を接地ノードへ放電し、ノードNDNの電圧レベルを低下させ、その出力信号φdrにより電流

ドライブトランジスタ3dのコンダクタンスを大きくして電流I<sub>d</sub>を大きくする。このノードNDNは、MOSトランジスタQ62を介して接地ノードに結合されており、ノードNDNの最低到達電位は接地電圧レベルとなる。したがって、電流ドライブトランジスタ3dのゲートソース間電圧は最大 $-V_{ext}$ となり、電流ドライブトランジスタ3dは、外部電源電圧 $V_{ext}$ 低下時においても大きな電流駆動力をもって電流I<sub>d</sub>を内部電源線37上に供給することができる。

【0173】一方、レベル変換電源電圧 $SFVin$ がレベル変換基準電圧 $SFVr$ よりも高い場合には、MOSトランジスタQ60を介して供給される電流をMOSトランジスタQ62がすべて放電できず、ノードNDNの電圧レベルが上昇し、ノードNDNからの出力信号 $\phi_{dr}$ により、電流ドライブトランジスタ3dのコンダクタンスが低下し、電流供給が停止する。

【0174】図25(A)に示すように、比較器3cの出力信号 $\phi_{dr}$ は、接地電圧レベルが最低到達可能電圧となる。したがって図25(A)において一点鎖線で示すように、電流源トランジスタのチャネル抵抗に起因する出力信号 $\phi_{dr}$ の最低到達電位の浮上りを防止することができ、外部電源電圧 $V_{ext}$ が動作可能下限領域近傍の電圧レベルにある場合においても、電流ドライブトランジスタ3dのゲートソース間電圧の絶対値を十分大きくすることができ、電流ドライブトランジスタ3dの電流駆動能力は、図25(B)に示すように、それほど低下しない。この出力信号 $\phi_{dr}$ の最低到達電圧が接地電圧レベルよりも高いため、外部電源電圧 $V_{ext}$ の動作可能下限領域近傍になると、その電流ドライブトランジスタ3dの電流供給能力が急激に低下する(ゲートソース間電圧がしきい値電圧の絶対値に近くなるため)という従来の構成の問題を解消することができる。

【0175】電流ドライブトランジスタ3dの電流駆動能力を大きくするために、そのチャネル幅Wを大きくする必要がなく、降圧回路占有面積を低減することができる。この場合、ローカルレベル変換回路35が設けられるが、このローカルレベル変換回路35を構成するMOSトランジスタは、単にレベル変換を行なうだけであり、その占有面積は十分小さく、回路占有面積の増加は十分に抑制される(従来の場合、十分な電流駆動能力を電流ドライブトランジスタ3dに持たせる場合、そのチャネル幅は数mmとなる)。

【0176】この図24に示す降圧回路において、比較器3cの出力信号 $\phi_{dr}$ の最低到達電位を接地電圧レベルとする場合、比較器3cを最も感度のよい領域で動作させる必要がある。基準電圧 $V_{ref}$ および内部電源電圧 $V_{int}$ を直接比較器3cへ与えた場合、これらの電圧 $V_{ref}$ および $V_{int}$ は接地電圧よりも十分高いため、MOSトランジスタQ62およびQ63のコンダクタンスがともに大きくなり、その応答特性が劣化する。

これを防止するため、ローカルレベル変換回路35が設けられる。

【0177】ローカルレベル変換回路35は、外部電源ノードとノードNDJの間に接続されかつそのゲートに活性化信号ZACTを受けるpチャネルMOSトランジスタQ50と、ノードNDJとノードNDKの間に接続され、かつそのゲートに基準電圧 $V_{ref}$ を受けるnチャネルMOSトランジスタQ51と、ノードNDJとノードNDLの間に接続されかつそのゲートに内部電源電圧 $V_{int}$ を受けるnチャネルMOSトランジスタQ52と、ノードNDKと接地ノードの間に接続されかつそのゲートがノードNDKに接続されるnチャネルMOSトランジスタQ53と、ノードNDLと接地ノードの間に接続されかつそのゲートがノードNDKに接続されるnチャネルMOSトランジスタQ54と、ノードNDKと接地ノードの間に接続されかつそのゲートに活性化信号ZACTを受けるnチャネルMOSトランジスタQ55と、ノードNDLと接地ノードの間に接続されかつそのゲートに活性化信号ZACTを受けるnチャネルMOSトランジスタを含む。活性化信号ZACTは、内部電源電圧 $V_{int}$ を消費する内部回路の活性期間活性状態のLレベルとされる信号であり、たとえば標準DRAMにおける内部ロウアドレスストロブ信号に相当する。次に、このローカルレベル変換回路35の動作について説明する。

【0178】活性化信号ZACTがHレベルの非活性状態のときには、MOSトランジスタQ50がオフ状態、一方、MOSトランジスタQ55およびQ56がオン状態となり、レベル変換電圧 $SFVin$ および $SFVr$ は接地電圧レベルのLレベルを維持する。このMOSトランジスタQ55およびQ56を、活性化信号ZACTの非活性化時オン状態とすることにより、このローカルレベル変換回路35における内部ノードがフローティング状態となるのを防止し、かつMOSトランジスタQ0をオフ状態として、このローカルレベル変換回路35における貫通電流の発生を防止する。また、このとき、レベル変換電圧 $SFVin$ および $SFVr$ も接地電圧レベルのLレベルであり、比較器3cにおけるMOSトランジスタQ62およびQ63をオフ状態として、比較器3cにおける貫通電流の発生を防止する。これにより、消費電流を低減する。

【0179】活性化信号ZACTが活性状態のLレベルとなると、MOSトランジスタQ50がオン状態、MOSトランジスタQ55およびQ56がオフ状態となり、ローカルレベル変換回路35がレベル変換動作を開始する。基準電圧 $V_{ref}$ および内部電源電圧 $V_{int}$ は、ともに外部電源電圧 $V_{ext}$ よりも低い電圧レベルにある。したがってMOSトランジスタQ51およびQ52が飽和領域で動作する。MOSトランジスタQ53はそのゲートおよびドレインが相互接続されており、飽和領域

で動作する。MOSトランジスタQ51~Q54は、同じサイズおよびしきい値電圧を備える。MOSトランジスタQ51およびQ53には、同じ大きさの電流が流れる。したがって、次式が成立する。

$$【0180】 (V_{ref} - V_n - V_{th})^2 \cdot \beta = (V_n - V_{th})^2 \cdot \beta$$

ここで、 $V_n$ はノードNDKの電圧を示す。上式から、次式が求められる。

$$【0181】 V_n = V_{ref} / 2$$

すなわち、ノードNDKには、基準電圧 $V_{ref}$ の1/2の電圧が生じる。一方、MOSトランジスタQ53およびQ54が同じサイズを有しており、これらのMOSトランジスタQ53およびQ54には同じ大きさの電流が流れる。MOSトランジスタQ54が飽和領域で動作するか不飽和領域で動作するかは、ノードNDLの電圧により決定される。ノードNDLの電圧は、MOSトランジスタQ52およびQ54に同じ大きさの電流が流れる状態で安定化する。したがって、ノードNDLの電圧を $V_l$ とすると、次式が得られる。

$$【0182】 (V_{int} - V_l - V_{th})^2 \cdot \beta = (V_n - V_{th})^2 \cdot \beta$$

$$V_{int} - V_l = V_n$$

$$V_l = V_{int} - V_{ref} / 2$$

したがって、このノードNDLには、内部電源電圧 $V_{int}$ とノードNDKの電圧 $V_{ref} / 2$ の差の電圧が現れる。すなわち、レベル変換された内部電源電圧 $SFV_{in}$ は、内部電源電圧 $V_{int}$ を $V_{ref} / 2$ レベルシフトした電圧レベルとなり、一方、レベル変換された基準電圧 $SFV_r$ は、分割比2で抵抗分割した基準電圧となる。

【0183】 比較器3cは、この電圧( $V_{int} - V_{ref} / 2$ )と $V_{ref} / 2$ とを比較しており、したがって、内部電源電圧 $V_{int}$ と基準電圧 $V_{ref}$ の比較が、この比較器3cにおいて行なわれている(比較器3cは差動増幅で構成される)。このローカルレベル変換回路35を用いることにより、比較器3cの出力信号 $\phi_{dr}$ の最低到達電圧を接地電圧レベルとしたときにおいても、レベル変換された電圧 $SFV_r$ および $SFV_{in}$ を比較することにより、比較器3cは最も感度のよい領域で比較動作を行なって、内部電源電圧 $V_{int}$ の変化に高速で応答することができる。

【0184】 [変更例1] 図26は、この発明の実施の形態4の変更例1の構成を示す図である。この図26に示す構成においては、ローカルレベル変換回路35において、MOSトランジスタQ53およびQ54のゲートがノードNDLに接続される点が、図24に示す構成と異なる。他の構成は、図24に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0185】 この図26に示す構成の場合、ローカルレ

ベル変換回路35においては、MOSトランジスタQ52およびQ54が飽和領域で動作するため、ノードNDLから出力されるレベル変換された内部電源電圧 $SFV_{in}$ は、内部電源電圧 $V_{int}$ の1/2に等しくなる。一方、MOSトランジスタQ51が飽和領域で動作し、このMOSトランジスタQ51には、MOSトランジスタQ54を介して流れる電流と同じ大きさの電流が流れることから、これらの飽和電流を等しいとして次式が得られる。

$$【0186】 V_{int} / 2 = V_{ref} - SFV_r$$

$$SFV_r = V_{ref} - V_{int} / 2$$

したがって、図27に示すように、レベル変換された内部電源電圧 $SFV_{in}$ とレベル変換された基準電圧 $SFV_r$ が、逆相で内部電源電圧 $V_{int}$ に従って変化する。比較器3cは、このレベル変換された基準電圧 $SFV_r (= V_{ref} - V_{int} / 2)$ とレベル変換された電源電圧 $SFV_{in} (= V_{int} / 2)$ を比較しており、等価的に、基準電圧 $V_{ref}$ と内部電源電圧 $V_{int}$ の電圧レベルを比較している。しかしながら、これらのレベル変換された電圧 $SFV_r$ および $SFV_{in}$ は、逆相で変化するため、内部電源電圧 $V_{int}$ の変動に対する比較器3eへの入力電圧差は拡大され、より正確に、内部電源電圧 $V_{int}$ の変化に応じて電流ドライバトランジスタ3dのコンダクタンスを制御でき、応答特性に優れた降圧回路を実現することができる。

【0187】 なお、このレベル変換された電源電圧 $SFV_{in}$ が、レベル変換された基準電圧 $SFV_r$ よりも高くなると比較器3cにおいて、ノードNDNからの出力信号 $\phi_{dr}$ がHレベルとなり、電流ドライバトランジスタ3dがオフ状態へ移行する。このレベル変換電圧 $SFV_{in}$ および $SFV_r$ が等しくなるのは、内部電源電圧 $V_{int}$ が基準電圧 $V_{ref}$ に等しくなったときである。

【0188】 [変更例2] 図28は、この発明の実施の形態4の変更例2の構成を示す図である。この図28に示す降圧回路においては、内部電源線505d上の内部電源電圧 $V_{cc}$ および基準電圧 $V_{ref}$ をレベル変換するローカルレベル変換回路35の出力するレベル変換電圧 $SFV_r$ および $SFV_{cc}$ が比較器505aに与えられる。ローカルレベル変換回路35の構成は、図24または図26に示す構成と同じである。比較器505aは、図53に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0189】 この図28に示す降圧回路の構成においては、ローカルレベル変換回路35からのレベル変換された電圧 $SFV_r$ および $SFV_{cc}$ が比較器505aへ与えられる。したがって、比較器505aは、最も感度のよい領域で動作することが可能となり(MOSトランジスタNQ1およびNQ2のコンダクタンスがそれぞれのゲート電圧に応じて大きく変化する領域)、比較器50

5aの応答特性を改善することができる。

【0190】外部電源電圧 $V_{ext}$ が動作可能下限領域近傍の電圧レベルとなった場合においても、電流ドライバトランジスタ505aの電流供給能力の低下を抑制するためには、電流源トランジスタNQ3のチャネル抵抗を十分小さくすることにより、対応可能である。

【0191】以上のように、この発明の実施の形態4に従えば、ローカルレベル変換回路を用いて基準電圧および内部電源電圧のレベル変換を行なってレベル変換された基準電圧および内部電源電圧を比較して、その比較結果に従って電流ドライバトランジスタのコンダクタンスを調整しているため、外部電源電圧が動作可能下限領域近傍の電圧レベルの場合にも、比較器を最も感度のよい領域で動作させることができ、内部電源電圧の変化に高速にตอบสนองしてその電圧レベル変動を抑制することができる。

【0192】また、比較器の比較段のMOSTランジスタを直接そのソースを接地電圧を受けるように構成することにより、比較器の出力信号振幅を、外部電源電圧から接地電圧レベルまで拡張することができ、外部電源電圧が動作可能下限近傍の電圧レベルであっても、電流ドライバトランジスタのゲートソース間電圧を十分大きくすることができ、この領域における電流ドライバトランジスタの電流駆動能力の低下を抑制することができる。また、電流ドライバトランジスタのチャネル幅を広くする必要がなく、占有面積を増大させることくな、安定に内部電源電圧を所定の電圧レベルに保持することができる。

【0193】また、ローカルレベル変換回路として、同一導電型のMOSTランジスタを用いているため、回路占有面積が低減できる。また、このローカルレベル変換回路は、電流制御比較回路であり、電流増幅動作を行なうものの、電圧増幅動作は行っていない。単に基準電圧および内部電源電圧のレベルシフトが等価的にMOSTランジスタのチャネル抵抗の比による抵抗分割により実現されているだけであり、高速で電圧レベルの比較動作を行なってレベル変換後の電圧を生成することができる。また、ローカルレベル変換回路は、すべて同一導電型のMOSTランジスタで構成しているため、その構成要素の温度特性をすべて同じとすることができ、比較器により、このローカルレベル変換回路の出力信号が差動増幅されるため、これらのローカルレベル変換回路の出力電圧の温度依存性が相殺されることになり、温度依存性の相殺されたレベル変換基準電圧およびレベル変換電源電圧を生成することができる。これにより、基準電圧の温度特性補償により、その温度特性補償に応じた内部電源電圧を生成することができる。

【0194】〔実施の形態5〕図29は、この発明の実施の形態5に従う半導体記憶装置の要部の構成を概略的

に示す図である。図29においては、内部電源回路および電圧レベル制御回路の部分の構成が概略的に示される。図29において内部電源回路20は、基準電圧 $V_{ref}$ と周辺基準電圧 $V_{ref}$ とに従ってセンス電源電圧 $V_{cca}$ を基準電圧 $V_{ref}$ または $V_{refp}$ が決定する電圧レベルに保持するセンス降圧回路3sを含む。

【0195】電圧レベル制御回路10は、切換信号 $\phi_{SW}$ にตอบสนองしてセンス基準電圧 $V_{ref}$ および周辺基準電圧 $V_{refp}$ の一方を選択してセンス降圧回路3sに伝達する切換回路4と、複数段の遅延回路（インバータ）で構成され、センス活性化信号 $SEN$ を遅延して、複数の内部ノードから複数のタイミング信号を生成する遅延チェーン50と、この遅延チェーン50からの出力信号をデコードして、センス降圧回路3sの活性/非活性および動作電流の増減を制御する信号を生成するデコード回路52を含む。センス電源線5には、センスアンブ回路300が結合され、またセンス電源線5には、センス電源線5上の電圧の安定化またはオーバドライブ時の電荷蓄積に用いられる安定化容量7が結合される。

【0196】切換回路4は、センス活性化信号 $SEN$ の非活性化への移行時、周辺基準電圧 $V_{refp}$ をセンス降圧回路3sへ伝達する。このとき、デコード回路52は、センス降圧回路3sの動作電流を増大させ、その応答速度を増加させる。センス動作時には、センス降圧回路3sは、デコード回路52からの出力信号に従ってその動作電流が増加され、高速にตอบสนองする。

【0197】遅延チェーン50は、直列接続された1組の遅延回路（インバータ段）を含む。この1組の遅延回路段の適当な出力信号を選択してデコードすることにより、複数の制御信号を生成する。これにより、制御信号生成部の構成要素数の低減および回路占有面積の低減を上げる。次に各部の構成について説明する。

【0198】図30は、図29に示す遅延チェーンおよびデコード回路の構成の一例を示す図である。図30において、遅延チェーン50は、センス活性化信号 $SEN$ を反転するインバータIV0と、インバータIV0の出力信号を受ける縦続接続される遅延インバータDL0～DL19を含む。遅延インバータDL3およびDL4の間には、遅延インバータDL3の出力信号およびインバータIV0の出力信号の一方を選択して遅延インバータDL4の入力部へ与える遅延切換スイッチDSW1が設けられ、遅延インバータDL7と遅延インバータDL8の間には、遅延インバータDL7の出力信号とインバータIV0の出力信号の一方を選択して遅延インバータDL8へ与える遅延切換スイッチDSW0が設けられる。遅延インバータDL11と遅延インバータDL12の間には、遅延インバータDL11の出力信号とインバータIV0の出力信号の一方を選択して遅延インバータDL12の入力部へ与える遅延切換スイッチDSW2が設け

られる。

【0199】さらに、遅延インバータDL2の出力信号と遅延インバータDL6の出力信号の一方を選択する出力選択スイッチSSW0と、遅延インバータDL10の出力信号と遅延インバータDL14の出力信号の一方を選択する出力切換スイッチSSW1が設けられる。出力切換スイッチSSW0およびSSW1により、この遅延チェーン50から出力される信号の遅延時間を変更することができる。また、遅延切換スイッチDSW0～DSW2により、この遅延インバータDL0～DL19の遅延チェーンの遅延時間を調整することができる。たとえば、遅延切換スイッチDSW0をインバータIV0の出力信号を選択する状態に設定することにより、遅延インバータDL0～DL7を短絡して、遅延インバータDL8へ信号を伝達することができる。図30においては、遅延切換スイッチDSW0～DSW2は、それぞれ遅延インバータの出力信号を選択する状態に設定され、遅延インバータDL0～DL19が、縦続接続される遅延チェーンを構成する。

【0200】デコード回路52は、インバータIV0の出力信号と遅延インバータDL19の出力信号を受ける2入力NAND回路NG1と、NAND回路NG1の出力信号を反転して降圧動作活性化信号ZACTを出力するインバータIV1と、インバータIV0の出力信号を反転するインバータIV2と、出力切換スイッチSSW1の出力信号と出力切換スイッチSSW0の出力信号を受ける2入力NAND回路NG2と、インバータIV2の出力信号とNAND回路NG2の出力信号SDTを受ける2入力NAND回路NG3と、インバータIV0の出力信号と出力切換スイッチSSW0の出力信号ODTを受ける2入力NAND回路NG4と、NAND回路NG3およびNG4の出力信号を受ける2入力NAND回路NG5と、NAND回路NG5の出力信号を反転するインバータIV3を含む。インバータIV3から、動作電流を増加させる信号ZSPEEDが出力される。

【0201】図30に示すように、信号ZACTおよびZSPEEDを生成するために、遅延チェーンの遅延インバータを共有する構成とすることにより、複数の制御信号を生成するための遅延インバータの数を低減することができる。回路占有面積および消費電流を低減することができる。

【0202】図31は、図29に示すセンス降圧回路3sの構成を概略的に示す図である。図31において、センス降圧回路3sは、切換回路4から与えられる基準電圧Vrefとセンス電源線5上のセンス電源電圧Vccsを比較する比較器3saと、比較器3saの出力信号に従って外部電源ノードからセンス電源線5へ電流を供給する電流ドライブトランジスタ3sbと、センス活性化信号ZACTをインバータIV5を介してゲートに受け、比較器3saに対する電流源として動作するnチャ

ネルMOSTランジスタ3scと、制御信号ZSPEEDをインバータIV6を介してゲートに受けて、比較器3saの動作電流を増加させるnチャネルMOSTランジスタ3sdを含む。比較器3saの構成は、従来の構成であってもよく、また本実施の形態3における構成であってもよい。後にその構成については説明するが、いずれの回路構成であっても本実施の形態4に適用可能である。

【0203】この図31に示すセンス降圧回路3sにおいて、活性化信号ZACTが活性状態のLレベルとなると、インバータIV5の出力信号がHレベルとなり、MOSTランジスタ3scがオン状態となり、比較器3saに電流が流れる経路を形成し、比較動作を開始させる。一方、制御信号ZSPEEDが活性状態のLレベルとなると、インバータIV6を介してMOSTランジスタ3sdがオン状態となり、この比較器3saの電流源トランジスタとして動作し、比較器3saの動作電流を増加させる。制御信号ZSPEEDが活性状態のとき、比較器3saの動作速度が速くなり、高速に、このセンス電源線5上のセンス電源電圧Vccsの変化に対応する。

【0204】次に、この図30および図31に示す回路動作について図32に示す信号波形図を参照して説明する。センス活性化信号SENがLレベルからHレベルに立上ると、インバータIV0の出力信号がLレベルに立下がる。応じて、NAND回路NG1の出力信号がHレベルとなり、インバータIV1からの活性化信号ZACTがLレベルとなり、図31に示すMOSTランジスタ3scがオン状態となり、比較器3saが比較動作を開始する。一方、NAND回路NG4の出力信号がHレベルに立上る。信号SDTが出力切換スイッチSSW0の出力信号がLレベルであるため、Hレベルであり、一方、インバータIV2の出力信号もHレベルとなる。したがって、NAND回路NG3の出力信号がLレベルとなり、NAND回路NG5の出力信号がLレベルとなり、インバータIV3からの出力信号ZSPEEDがLレベルに立下がる。

【0205】センス活性化信号SENがHレベルに立上ってから、インバータIV0および遅延インバータDL0～DL6の有する遅延時間が経過すると、出力切換スイッチSSW0から出力される信号ODTがHレベルに立上る。しかしながら、この状態においてインバータIV0の出力信号はLレベルであり、NAND回路NG4の出力信号は変化しない。出力切換スイッチSSW0からの信号ODTがHレベルに立上ってから遅延インバータDL7～DL14が有する遅延時間が経過すると、出力切換スイッチSSW1の出力信号がHレベルに立上がり、NAND回路NG2の出力信号がともにHレベルとなり、信号SDTがLレベルに立下がり、NAND回路NG3の出力信号がHレベルとなる。応じて、N

AND回路NG5の両入力がHレベルとなり、NAND回路NG5の出力信号がLレベルとなり、応じてインバータIV3からの信号ZSPEEDがHレベルに立上がる。

【0206】したがって、信号ZSPEEDは、センス活性化信号SENが活性化されてから、遅延インバータDL0~DL14が有する遅延時間が経過するまでLレベルの活性状態を維持する。この間、比較器3saの動作電流が増加し、高速で、センス電源電圧Vccsの変化に対応する。

【0207】センス活性化信号SENがHレベルからLレベルに立下がり、センスアンプが非活性化されると、信号ODTがHレベルであるため、NAND回路NG4の出力信号がLレベルとなり、応じてNAND回路NG5およびインバータIV3により、信号ZSPEEDがLレベルに低下する。このセンス活性化信号SENがLレベルに立下がってから、遅延インバータDL0~DL14が有する遅延時間が経過すると、信号ODTがHレベルからLレベルに立下がり、NAND回路NG4の出力信号はHレベルに固定される。信号ODTがLレベルに立下がると、応じてNAND回路NG2からの出力信号SDTがHレベルに立上がる。インバータIV2の出力信号はLレベルであり、NAND回路NG3の出力信号はHレベルを維持する。一方、NAND回路NG4は、Lレベルの信号ODTに従ってその出力信号をHレベルに立上げ、応じてNAND回路NG5の出力信号がLレベルとなり、応じて信号ZSPEEDがHレベルに立上がる。したがって、センス活性化信号SENの活性状態から非活性状態への移行時、遅延インバータDL0~DL6の有する遅延時間の間制御信号ZSPEEDがLレベルの活性状態に保持される。したがってセンスアンプ動作完了時、再び、この比較器3saの動作電流が増大し、センス電源線5へ高速で電流が供給され、いわゆるオーバドライブ状態とされ、センス電源電圧Vccsが周辺電源電圧Vccpレベルに充電される。このとき、切換信号φSWは、センス活性化信号SENの非活性化と制御信号ZSPEEDの活性化にตอบสนองして生成され、基準電圧Vrefとして、周辺基準電圧Vrefpが選択される。これにより、センス動作完了時に、センス電源線5上の電圧を、周辺電源電圧Vccpレベルに予備充電し、センス動作時におけるセンス電源電圧Vccsの電圧レベル低下を抑制し、高速でセンス動作を行なう。

【0208】活性化信号ZACTは、センス活性化信号SENが活性状態から非活性状態へ移行した後さらに遅延インバータDL0~DL19が有する遅延時間が経過した後に、Hレベルの非活性状態へ駆動される。

【0209】したがって、この遅延チェーン50の出力信号を選択して、デコード回路52でデコードすることにより、センス活性化信号SENの活性化および非活

化それぞれにตอบสนองして活性状態へ駆動されるパルス信号を容易に生成することができる。また、同時に、このデコード回路により、センス活性化信号SENの活性化にตอบสนองして活性化され、またこのセンス活性化信号SENの非活性化にตอบสนองして、所定時間経過後（オーバドライブ動作完了後）、非活性状態へ移行する降圧回路活性化信号ZACTを生成することができる。

【0210】図33は、図29に示す切換回路4へ与えられる切換信号φSWを発生する部分の構成の一例を示す図である。図33において、切換信号発生部は、信号SDTおよびセンス活性化信号SENを受けるNOR回路GT1を含む。このNOR回路GT1から出力される切換信号φSWがHレベルのときには、周辺基準電圧Vrefpが選択され、切換信号φSWがLレベルのときには、センス用基準電圧Vrefsが選択される。このNOR回路GT1は、図29に示すデコード回路52に含まれており、たとえば、図30に示すインバータIV2の出力信号とNAND回路NG2の出力信号を受けるように構成される。したがって、図32に示す信号波形図から明らかなように、オーバドライブを行なう期間のみ、センス活性化信号SENおよび制御信号SDTがLレベルとなるため、この間、周辺基準電圧Vrefpが選択されてセンス降圧回路へ与えられ、センス電源線5上のセンス電源電圧Vccsを昇圧することができる。通常動作のセンス動作時においては、センス活性化信号SENがHレベルとなるため、切換信号φSWは、Lレベルであり、センス基準電圧Vrefsが選択される。

【0211】[変更例1] 図34は、この発明の実施の形態5の変更例1の構成を示す図である。この図34に示すセンス降圧回路3sは、基準電圧Vrefとセンス電源線5上のセンス電源電圧Vccsのレベルを変換するローカルレベル変換回路35と、このローカルレベル変換回路35からのレベル変換された電圧を比較する比較器3cと、比較器3cの出力信号に従って外部電源ノードからセンス電源線5へ電流を供給する電流ドライバトランジスタ3dを含む。

【0212】比較器3cは、ローカルレベル変換回路35からの電圧を受けるMOSTランジスタQ62およびQ63が接地ノードに結合される。したがって、図26に示す降圧回路と同様、電流ドライバトランジスタ3dのゲートへ与えられるドライブ制御信号φdrを接地電圧レベルにまで駆動することができる。電流源として、カレントミラー回路を構成するMOSTランジスタQ60およびQ61と外部電源ノードの間に活性化信号ZACTをゲートに受けるpチャネルMOSTランジスタQ70と、制御信号ZSPEEDをゲートに受けるpチャネルMOSTランジスタQ71が設けられる。MOSTランジスタQ60およびQ61は、この電流源トランジスタQ70およびQ71から供給される電流を放電することができる。

【0213】この図34に示す構成を利用することにより、センスアンプ動作時において制御信号ZSPEEDを活性状態へ駆動して、動作電流を大きくし、またセンス動作完了後のオーバドライブ時においても、制御信号ZSPEEDに従って、動作電流を大きくして、高速でセンス電源電圧Vccsの電圧レベルを上昇させることができる。

【0214】なお、このセンス電源線5と接地ノードの間には、外部電源ノードにそのゲートが結合されて抵抗素子として動作するnチャネルMOSトランジスタQ72とMOSトランジスタQ72の接地ノードの間に結合されかつインバータIV7を介してゲートに活性化信号ZACTを受けるnチャネルMOSトランジスタQ73が設けられる。センス降圧回路3sの非活性状態時（スタンバイサイクル時）においては、MOSトランジスタQ73をオフ状態とし、センス電源線5から接地ノードへ電流が流れるのを防止し、消費電流の低減を図る。また、MOSトランジスタQ72の抵抗値を大きくすることにより、センス降圧回路3sの動作時においてセンス電源線5から接地ノードへ電流が流れるのを抑制し、

【0215】【変更例2】図35は、この発明の実施の形態5の変更例2の構成を概略的に示す図である。図35に示す構成において、内部電源回路1は、基準電圧Vrefsに従ってセンス電源電圧Vccsを生成するセンス降圧回路3sと、周辺基準電圧Vrefpに従って周辺電源電圧Vccpを生成する周辺降圧回路3pと、切換制御信号φSWに従ってセンス降圧回路3sおよび周辺降圧回路3pからの電源電圧VccsおよびVccpの一方を選択してセンス電源線5上にセンス電源電圧（アレイ電源電圧）Vccaとして伝達する切換回路4を含む。

【0216】電圧レベル制御回路10は、内部サイクル開始指示信号を遅延する遅延チェーン50と、この遅延チェーン50の所定の遅延信号をデコードして、センス降圧回路3sおよび周辺降圧回路3pの動作電流および活性／非活性化を制御する信号を生成するデコード回路52を含む。遅延チェーン50は、メモリサイクル活性化信号CMAに従ってセンスアンプ活性化信号を生成し、かつこのセンスアンプ活性化信号を遅延して各制御信号ZACT、ZSPDS、RASおよびZSPDPを生成する。次に、この図35に示す内部電源回路の動作を図36に示す信号波形図を参照して説明する。

【0217】メモリサイクル活性化信号CMAが活性状態のHレベルとなると、内部のメモリセル行選択動作開始指示信号RASがHレベルの活性状態へ駆動される。メモリセルアレイにおいては、メモリセル行の選択が行なわれる。また周辺降圧回路3pが活性化される。

【0218】次いで、所定時間が経過すると、センスアンプ活性化信号SENがHレベルの活性状態へ駆動され、図35に示すセンスアンプ回路300が活性化される。このセンス活性化信号SENの活性化にตอบสนองして、活性化信号ZACTがLレベルの活性状態へ駆動され、センス降圧回路3sが降圧動作を開始する。この活性化信号ZACTの活性化にตอบสนองして、デコード回路52からの制御信号ZSPDSが所定期間Lレベルの活性状態へ駆動される。これにより、センス降圧回路3sにおいてその動作電流が大きくされ、高速で動作してセンスアンプ動作時におけるセンス電流を補償する。センスアンプ回路300のセンス動作が完了し、メモリセルデータのラッチ状態となると、制御信号SPDSがHレベルの非活性状態となり、センス降圧回路3sは、その動作電流が低減される。

【0219】メモリサイクルが完了すると、メモリサイクル活性化信号CMAがLレベルの非活性状態へ駆動され、応じてセンス活性化信号SENがLレベルの非活性状態へ駆動される。センスアンプ回路300が非活性状態となり、また活性化信号ZACTもHレベルの非活性状態となり、センス降圧回路3sが、その降圧動作を停止する。

【0220】一方、このメモリサイクル活性化信号CMAの非活性化（Lレベル）にตอบสนองして、制御信号ZSPDPがLレベルの活性状態へ駆動され、周辺降圧回路3pの動作電流が増大される（周辺降圧回路3pは信号RASにより活性化される）。切換回路4は、切換信号φSWに従って周辺降圧回路3pからの周辺電源電圧Vccpを選択してセンス電源線5へ伝達する。したがって、この周辺降圧回路3pは、その動作電流が大きされるため、その大きな動作電流により、高速でセンス電源線5を周辺電源電圧Vccpレベルにまで充電する。制御信号ZSPDPが非活性化され、センス電源線5のオーバドライブが完了すると、メモリセル行選択動作開始指示信号RASがLレベルの非活性状態となり、周辺降圧回路3pが非活性状態となり、降圧動作を停止する。

【0221】この図35に示す構成においては、センスアンプ回路300の動作時には、センス降圧回路3sの動作電流を制御信号ZSPDSにより大きくし、またメモリサイクル完了時、すなわちセンスアンプ回路300の非活性化時には、周辺降圧回路3pの動作電流を大きくして、センス電源線5をオーバドライブする（安定化容量7を高速で充電する）。このような制御信号ZACT、RAS、ZSPDSおよびZSPDPを、遅延チェーン50およびデコード回路52を用いて生成する。

【0222】図37は、図35に示す遅延チェーン50およびデコード回路52の構成を概略的に示す図である。図37において、遅延チェーン50は、3段の縦続接続される遅延段50a、50bおよび50cを含む。

これらの遅延段50a~50cは、それぞれ所定時間メモリサイクル活性化信号CMAを遅延する。

【0223】デコード回路52は、メモリサイクル活性化信号CMAと遅延段50aの出力信号を受けるOR回路52aと、遅延段50aの出力信号を反転するインバータ52bと、インバータ52bの出力信号とメモリサイクル活性化信号CMAを受けるOR回路52cと、OR回路52cの出力信号を反転するインバータ52dを含む。OR回路52aから内部メモリセル行選択動作開始指示信号RASが出力され、OR回路52cから制御信号ZSPDPが出力され、インバータ52dから切換指示信号φSWが出力される。メモリセル行選択動作開始指示信号RASは、メモリサイクル活性化信号CMAが活性状態へ駆動されると活性状態へ駆動され、次いで、遅延段50aの出力信号が非活性状態へ駆動されるまで活性状態に保持される。したがってこの信号RASは、メモリサイクル活性化信号CMAが非活性化されてから遅延段50aが有する遅延時間経過後に非活性状態へ駆動される。制御信号ZSPDPは、メモリサイクル活性化信号CMAが非活性化されると、遅延段50aの出力信号がLレベルの非活性状態に達するまで、Lレベルに保持される。したがってこの制御信号ZSPDPは、メモリセルサイクルが完了すると、遅延段50aの有する遅延時間の間Lレベルの活性状態に駆動される。切換信号φSWは、この制御信号ZSPDPの活性化時、Lレベルとなり、図35に示す切換回路4において周辺降圧回路3pからの周辺電源電圧Vccpを選択させる。

【0224】デコード回路52は、さらに、メモリサイクル活性化信号CMAと遅延段50bの出力信号を受けるAND回路52eと、メモリサイクル活性化信号CMAと遅延段50bの出力信号を受けるNAND回路52fと、遅延段50cの出力信号を反転するインバータ52gと、遅延段50bの出力信号とインバータ52gの出力信号を受けるNAND回路52hを含む。AND回路52eからセンス活性化信号SENが出力される。したがって、このセンス活性化信号SENは、メモリサイクル活性化信号CMAが活性状態のHレベルへ駆動されてから、遅延段50aおよび50bの有する遅延時間が経過した後に活性状態へ駆動され、メモリサイクル活性化信号CMAの非活性化にตอบสนองして非活性状態へ駆動される。

【0225】NAND回路52fから、活性化信号ZACTが出力される。この活性化信号ZACTは、センス活性化信号SENとほぼ同じ期間活性状態のLレベルに駆動される。NAND回路52hから制御信号ZSPDSが出力される。この制御信号ZSPDSは、遅延段50bの出力信号がHレベルとなると、すなわちセンス活性化信号SENが活性化されると、遅延段50cが有する遅延時間の間活性状態のLレベルに駆動される。これ

により、センス降圧回路3sの動作電流をセンス動作時に増大させて応答速度を速くし、センス電源電圧の低下を抑制する。

【0226】なお、メモリサイクル活性化信号CMAは、標準DRAMの場合には、外部からのロウアドレスストロブ信号ext/RASに従って活性状態へ駆動され、またクロック信号に同期して動作するクロック同期型半導体記憶装置の場合、外部から与えられるアクティブコマンドにตอบสนองして活性状態へ駆動され、プリチャージコマンドにตอบสนองして非活性状態へ駆動される。

【0227】なお、活性化信号ZACTおよびRASの活性化時、センス降圧回路3sおよび周辺降圧回路3pがそれぞれ活性化され、制御信号ZSPDSおよびZSPDPが活性状態のとき、センス降圧回路3sおよび周辺降圧回路3pの動作電流がそれぞれ増加される。これらのセンス降圧回路3sおよび周辺降圧回路3pの構成は、図31および図34に示す構成のいずれが用いられてもよい。電流源トランジスタへ活性化信号ZACT（またはRAS）および制御信号ZSPDS（またはZSPDP）が与えられればよい。

【0228】また切換回路4は、通常のCMOSトランスマッションゲートで構成することができる。

【0229】以上のように、この発明の実施の形態5に従えば、1つの信号から、遅延段列を用いて複数のタイミング信号を生成し、これらの複数のタイミング信号をデコードして降圧回路の動作電流および活性/非活性を制御する信号を生成しているため、この活性/非活性を制御するための制御信号および動作電流を制御するための制御信号それぞれに遅延回路を設ける必要がなく、回路素子数を低減することができ、応じて回路占有面積および消費電流を低減することができる。

【0230】【実施の形態6】図38は、この発明の実施の形態6に従う半導体記憶装置の要部の構成を示す図である。図38においては、電源投入後内部電源電圧Vintが所定電圧レベルに到達するまで強制的に降圧回路3を活性化するための電源レベル判定回路60が設けられる。この電源レベル判定回路60は、外部電源電圧Vextおよび内部電源電圧Vintおよび基準電圧Vrefを受け、内部電源電圧Vintが所定電圧レベルに到達したか否かを判定する。外部電源電圧Vextとの関係から内部電源電圧Vintが所定電圧レベルに到達したと判定すると、強制活性化信号ZPUPがHレベルへ駆動される。NAND回路62は、活性化信号ZACTと電源レベル判定回路60からの強制活性化信号ZPUPとを受け、これらの一方が活性状態のとき降圧回路3を活性状態へ駆動する。この降圧回路3は、センス降圧回路および周辺降圧回路のいずれであってもよく、またその構成は、先の実施の形態4において説明した構成を備えていてもよく、また従来の内部降圧回路と同様の構成を備えていてもよい。

【0231】この電源レベル判定回路60を利用することにより、電源投入検出信号PORを用いないため、外部電源ノードと内部電源線の直結がなく、内部電源電圧Vintが外部電源電圧Vextレベルに駆動されるのを防止することができ、内部電源電圧Vintを、基準電圧Vrefに従って変化させることができ、内部回路に過大な電圧が印加されるのを防止することができる。

【0232】図39は、図38に示す電源レベル判定回路60の具体的構成を示す図である。図39において、電源レベル判定回路60は、基準電圧Vrefを一方動作電源電圧として動作し、内部電源電圧Vintを反転するCMOSインバータ60aと、CMOSインバータ60aの出力信号に従ってノードA2を接地電圧レベルへ放電するnチャネルMOSトランジスタ60bと、ノードA2およびA3の電圧をラッチするためのCMOSインバータラッチ60cと、内部電源電圧Vintに従ってノードA3を接地電圧レベルへ放電するnチャネルMOSトランジスタ60dと、ノードA3上の信号電圧を反転して強制活性化信号ZPUPを出力するCMOSインバータ60eを含む。

【0233】CMOSインバータラッチ60cは、外部電源電圧Vextを受ける電源ノードPSと接地ノードとの間に接続され、それぞれのゲートがノードA3に接続されるpチャネルMOSトランジスタQ60およびnチャネルMOSトランジスタQ62を含むCMOSインバータと、外部電源ノードPSと接地ノードとの間に接続され、それぞれのゲートがノードA2に接続されるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタQ63を含むCMOSインバータとを含む。

【0234】基準電圧Vrefは、降圧回路3において内部電源電圧Vintを生成するために用いられ、外部電源電圧Vextから生成される（実施の形態1および2参照）。CMOSインバータラッチ60cおよびCMOSインバータ60eは、外部電源ノードPSに与えられる外部電源電圧Vextを一方動作電源電圧として動作する。基準電圧Vrefは、内部電源電圧Vintよりも早い時点で所定の電圧レベルに到達して安定化する。次に、この図39に示す電源レベル判定回路60の動作を、図40に示す信号波形図を参照して説明する。

【0235】時刻t0において電源投入が行なわれ、外部電源ノードPSの外部電源電圧Vextの電圧レベルが上昇する。電源投入直後においては、基準電圧Vrefの電圧上昇速度が、内部電源電圧Vintの電圧上昇速度よりも速いため、CMOSインバータ60aにおいて、pチャネルMOSトランジスタのコンダクタンスがnチャネルMOSトランジスタのコンダクタンスよりも大きく、CMOSインバータ60aの出力信号の電圧レベルが、基準電圧Vrefのレベル上昇に従って上昇する。一方、CMOSインバータラッチ60cにおいて、電源投入直後、pチャネルMOSトランジスタQ60およびQ62が、オン状態にあり、（ゲートソース間電圧がそのしきい値電圧の絶対値よりも大きい）、ノードA2およびA3の電圧レベルは、外部電源電圧Vextの電圧レベルの上昇に従って上昇する。また、CMOSインバータ60eにおいても、pチャネルMOSトランジスタのコンダクタンスがnチャネルMOSトランジスタのコンダクタンスよりも大きく、強制活性化信号ZPUPの電圧レベルが緩やかに上昇する。この電圧レベルは、図40において、誇張して示しているが、極めて低く、図38に示すNAND回路62は、この強制活性化信号ZPUPをLレベルと判定し、その出力信号をHレベルとする。これにより、降圧回路3が活性状態を維持し、基準電圧Vrefと内部電源電圧Vintの比較動作を行なって内部電源電圧Vintの電圧レベルを上昇させる。

【0236】時刻t1において、CMOSインバータ60aの出力信号の電圧レベルが、nチャネルMOSトランジスタ60bのしきい値電圧よりも高くなると、MOSトランジスタ60bがオン状態となり、ノードA2がnチャネルMOSトランジスタ60bおよびQ62により接地電圧レベルへ駆動される。nチャネルMOSトランジスタ60dは、内部電源電圧Vintの電圧レベル判定に用いられており、そのしきい値電圧または電流駆動力は、nチャネルMOSトランジスタ60bのそれよりも高くまたは小さくされている。ノードA2が接地電圧レベルへ駆動されると、CMOSインバータラッチ60cにおいて、nチャネルMOSトランジスタQ63がオフ状態となり、一方、pチャネルMOSトランジスタQ61がより強い導通状態となり、ノードA3を外部電源ノードPSに結合し、その電圧レベルを外部電源電圧Vextレベルにまで上昇させる。また、ノードA3の電圧レベルが外部電源電圧Vextレベルに上昇するため、CMOSインバータ60eにおいては、pチャネルMOSトランジスタがオフ状態、またnチャネルMOSトランジスタがオン状態となり、強制活性化信号ZPUPが接地電圧レベルに駆動される。

【0237】内部電源電圧Vintの電圧レベルが上昇するにつれ、CMOSインバータ60bにおいては、nチャネルMOSトランジスタのコンダクタンスがpチャネルMOSトランジスタのコンダクタンスよりも大きくなり、CMOSインバータ60aの出力信号の電圧レベルが低下し、最終的に接地電圧レベルに駆動される（基準電圧Vrefと内部電源電圧Vintの差が、内部電源電圧Vintと接地電圧との差よりも小さくなるため）。これにより、nチャネルMOSトランジスタ60bがオフ状態となり、ノードA2はCMOSインバータラッチ60cに含まれるnチャネルMOSトランジスタQ62により接地電圧レベルに保持される。一方、ノードA3は、pチャネルMOSトランジスタQ61により、外部電源電圧Vextの電圧レベルに保持される。

【0238】内部電源電圧 $V_{int}$ の電圧レベルが上昇すると、この内部電源電圧 $V_{int}$ をゲートに受ける $n$ チャネルMOSトランジスタ60dのコンダクタンスが大きくなる。この $n$ チャネルMOSトランジスタ60dのコンダクタンスがノードA3を外部電源電圧 $V_{ext}$ レベルに充電する $p$ チャネルMOSトランジスタQ61のそれよりも大きくなると、ノードA3の電圧レベルが低下し始める。

【0239】時刻 $t_2$ において、ノードA1に与えられる内部電源電圧 $V_{int}$ の電圧レベルが所定電圧レベルに到達すると、 $n$ チャネルMOSトランジスタ60dのコンダクタンスが十分大きくなり、ノードA3の電圧レベルがさらに低下し、応じて $p$ チャネルMOSトランジスタQ60の電流供給力が $n$ チャネルMOSトランジスタQ62の電流供給力よりも大きくなり、ノードA2の電圧レベルが上昇し、 $p$ チャネルMOSトランジスタQ61がオフ状態へ移行する。これらの一連の動作により、CMOSインバータラッチ60cのラッチ状態が反転し、ノードA3の電圧レベルが接地電圧レベルとなり、一方、ノードA2が外部電源電圧 $V_{ext}$ の電圧レベルとなる。ノードA3の電圧レベルの低下により、CMOSインバータ60eからの強制活性化信号ZPUPが外部電源電圧 $V_{ext}$ レベルのHレベルへ立上がる。これにより、図38に示すNAND回路62の出力信号がLレベルとなり、降圧回路3は降圧動作を停止する。

【0240】内部電源電圧 $V_{int}$ の所定電圧レベルは、基準電圧 $V_{ref}$ が電圧レベル以下に設定されているが、内部電源電圧 $V_{int}$ は、図示しない常時動作するスタンバイ降圧回路により駆動されほぼ所定の電圧レベルに到達する。

【0241】また、この時刻 $t_2$ において内部電源電圧 $V_{int}$ が所定電圧レベルに到達してからノードA2およびA3の電圧レベルが変化し、強制活性化信号ZPUPが非活性状態へ駆動されるまでの遅延時間があれば、その遅延時間を利用して、内部電源電圧 $V_{int}$ が所定電圧レベルに到達するようにされてもよい。それにより、内部電源線に対し、外部電源電圧 $V_{ext}$ を直接伝達することなく電源投入時に内部電源電圧を初期設定することができる。

【0242】図39に示すように、CMOSインバータ60aの一方動作電源電圧として外部電源電圧 $V_{ext}$ よりも十分緩やかに変化する基準電圧 $V_{ref}$ を用いることにより、内部ノードA2およびA3を初期状態に確実に設定することができる。

【0243】また、外部電源電圧 $V_{ext}$ が安定状態となりかつ内部電源電圧 $V_{int}$ が所定電圧レベルに到達すると、MOSトランジスタQ61とMOSトランジスタ60dのゲート電圧によりこれらの電流駆動力を調整しており、結果として、外部電源電圧 $V_{ext}$ の電圧レベルに基づいて内部電源電圧 $V_{int}$ が所定電圧レベル

に到達したか否かを判定している。MOSトランジスタ60dの電流駆動力またはしきい値電圧が調整されて内部電源電圧 $V_{int}$ の判定レベルが決定されている。しかしながら、判定動作は、CMOSインバータラッチ60cのノードA3を充電するためのMOSトランジスタQ61およびこのノードA3を放電するための $n$ チャネルMOSトランジスタ60dの電流駆動力の差に基づいて行なわれており、結果として、外部電源電圧 $V_{ext}$ の電圧レベルに基づいて内部電源電圧 $V_{int}$ の電圧レベルを検出している。これにより、安定な内部電源電圧検出動作が実現される。

【0244】CMOSインバータ60aにおいて、一方動作電源電圧として外部電源電圧 $V_{ext}$ を利用した場合、内部電源電圧 $V_{int}$ が外部電源電圧 $V_{ext}$ よりも低い電圧レベルでは、CMOSインバータ60aにおいて常時電流が流れ、消費電流が大きくなる。また、たとえ内部電源電圧 $V_{int}$ が所定電圧レベルに到達しても、CMOSインバータ60aの出力信号が接地電圧レベルに放電されない( $n$ チャネルMOSトランジスタ60bを完全なオフ状態に設定することができない)。したがって、内部電源電圧 $V_{int}$ が所定電圧レベルに到達したときに、このCMOSインバータラッチ60cのラッチ状態を反転させることができない。内部電源電圧 $V_{int}$ 以下の電圧レベルでありかつ外部電源電圧 $V_{ext}$ から生成される基準電圧 $V_{ref}$ を利用することにより、高速で内部電源電圧 $V_{int}$ が所定電圧レベルに到達したときに、CMOSインバータラッチ60cのラッチ状態を反転させることができる(MOSトランジスタ60bを完全にオフ状態とすることができるため)。

【0245】[変更例] 図41は、図39に示す電源レベル判定回路60の変更例の構成を示す図である。この図41に示す電源レベル判定回路60においては、CMOSインバータ60aの入力ノードA1に、内部電源電圧 $V_{int}$ を受けるRC遅延回路60fが設けられる。このRC遅延回路60fは、抵抗素子と、MOSキャパシタとを含む。他の構成は、図39に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0246】この図41に示す構成においては、CMOSインバータ60aの入力ノードA1の信号電圧の変化速度をRC遅延回路60fにより調節することができる。したがって、図40に示す信号波形図における強制活性化信号ZPUPが非活性化される時間 $t_2$ を適当なタイミングに設定することができる。また、入力ノードA1の電圧変化速度を基準電圧 $V_{ref}$ の変化速度に合わせて調節することにより、確実に内部ラッチノードA2およびA3の電圧レベルを一旦上昇させた後に、それぞれLレベルおよびHレベルに設定することができる。これにより、内部ラッチノードA2およびA3の電圧レベルが不安定な状態でラッチが行なわれCMOSインバータ

ラッチ60cが誤った内部ラッチ状態に入るのを防止することができ、正確な回路動作を保證することができ。また、RC遅延回路60fは、内部電源電圧Vintが立上がった後においても、この内部電源電圧Vintを使用する回路が動作し、一時的に消費電流が増大して内部電源電圧Vintが急激に変動しても、このような内部電源電圧Vintの高周波の電圧変動に対するローパスフィルタとして機能し、電源レベル判定回路60が誤って内部ラッチ動作を起動するのを抑制する。

【0247】[変更例2] 図42は、この発明の実施の形態6の変更例2の構成を概略的に示す図である。図42に示す構成においては、周辺降圧回路3pの活性/非活性を制御するために、電源レベル判定回路60からの強制活性化信号ZPUPがゲート回路62を介して与えられる。電源レベル判定回路60は、センス基準電圧Vrefsを受け、このセンス基準電圧Vrefsと周辺電源電圧Vccpの関係により、図39または図41に示すCMOSインバータラッチ60cのラッチノードA2およびA3を確実に初期設定する。センス基準電圧Vrefsは、外部電源電圧Vextよりも遅く安定状態に到達し、また周辺電源電圧Vccpよりも速いタイミングで安定状態に移行する。したがってこのセンス基準電圧Vrefsおよび外部電源電圧Vextを用いて周辺電源電圧Vccpの電圧レベルを判定することにより、正確なレベル判定動作を行なうことができる。

【0248】特に、周辺電源電圧Vccpは、周辺回路の構成要素であるMOSトランジスタへ直接与えられる。したがって、電源投入時において、外部電源電圧Vextが直接印加された場合、素子破壊が生じる可能性が高い。この図42に示す構成を利用することにより、周辺回路の電源投入時における高電圧印加による素子破壊を防止することができる。センス電源電圧は、センスアンプへ、センスアンプ活性化トランジスタを介して伝達される。また、センス電源線には、数多くのセンスアンプが接続し、負荷容量が大きく、急激な電圧上昇は生じず（負荷容量が大きいため）、電源投入時における急激なセンス電源電圧上昇に起因する素子破壊が生じる可能性は少ない。したがって、この周辺降圧回路に対して電源レベル判定回路60からの強制活性化信号ZPUPを与えてその活性/非活性を制御することにより、半導体記憶装置の内部回路の電源投入時における素子破壊を防止することができる。

【0249】なお、この図42に示す構成において、電源レベル判定回路60からの強制活性化信号ZPUPが、センス降圧回路3sの強制活性化のために用いられてもよい。

【0250】また、センス基準電圧Vrefsは、周辺電源電圧Vccpよりも低い電圧レベルであり（安定化時）、図39または図41に示すCMOSインバータ60aを、安定化時確実に、その出力信号をLレベルに駆

動保持することができる。

【0251】また、NAND回路62の出力信号は、先の実施の形態4における内部電源回路の内部降圧回路の電流源トランジスタのゲートへ与えられる。

【0252】[変更例3] 図43は、この発明の実施の形態6の変更例3の構成を概略的に示す図である。この図43に示す構成においては、電圧レベル制御回路10は、外部電源電圧Vextの電圧を用いて内部電源電圧Vintの電圧レベルを検出する電源レベル判定回路70を含む。内部電源電圧Vintと外部電源電圧Vextとが所定の関係を満たすと、電源レベル判定回路70は、強制活性化信号ZPUPを非活性状態へ駆動する。この強制活性化信号ZPUPが活性状態の間、降圧回路3は、降圧動作を行なって、外部電源電圧Vextから、基準電圧Vrefレベルの内部電源電圧Vintを生成する。

【0253】この図43に示すように、装置内において最も速いタイミングで安定化する外部電源電圧Vextを用いて内部電源電圧Vintの電圧レベルを検出することにより、安定な電圧レベル検出動作が保証される。

【0254】図44は、図43に示す電源レベル判定回路70の具体的構成を示す図である。図44において、電源レベル判定回路70は、ノードA5と接地ノードとの間に接続される容量素子70aと、外部電源ノードPSに与えられる外部電源電圧Vextを一方動作電源電圧として動作し、ノードA5上の信号を受けるCMOSインバータ70bと、ノードA6上に与えられるCMOSインバータ70bの出力信号に従って選択的にノードA5と外部電源ノードPSとを結合するpチャネルMOSトランジスタ70cと、外部電源ノードPSから与えられる外部電源電圧Vextを一方動作電源電圧として動作し、ノードA6に与えられるCMOSインバータ70bの出力信号を受けるCMOSインバータ70dと、CMOSインバータ70bおよび70dの出力信号にตอบสนองして選択的に導通し、内部電源電圧VintをノードA5に選択的に伝達するCMOSトランジスタ70eと、ノードA5およびA6上の信号電圧を比較し、該比較結果を示す信号をラッチする比較ラッチ回路70fと、外部電源ノードPSに与えられる外部電源電圧Vextを一方動作電源電圧として動作し、比較ラッチ回路70fの出力ノードA7上の信号を反転して強制活性化信号ZPUPを出力するCMOSインバータ70gを含む。

【0255】CMOSインバータ70b、70dおよび70gの各々は、外部電源ノードPSと接地ノードとの間に接続されるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタを含む。CMOSトランジスタ70eは、CMOSインバータ70bの出力信号をゲートに受けるnチャネルMOSトランジスタと、このnチャネルMOSトランジスタと並列に接

続され、かつそのゲートにCMOSインバータ70dの出力信号を受けるpチャネルMOSトランジスタを含む。

【0256】比較ラッチ回路70fは、外部電源ノードPSとノードA8との間に接続されかつそのゲートがノードA6に接続されるpチャネルMOSトランジスタQ70と、外部電源ノードPSとノードA7との間に接続されかつそのゲートがノードA5に接続されるnチャネルMOSトランジスタQ71と、ノードA8と接地ノードとの間に接続されかつそのゲートがノードA7に接続されるnチャネルMOSトランジスタQ72と、ノードA7と接地ノードとの間に接続されかつそのゲートがノードA8に接続されるnチャネルMOSトランジスタQ73を含む。

【0257】電源レベル判定回路70は、さらに、外部電源ノードPSとノードA6との間に接続されかつそのゲートに電源投入検出信号ZPORを受けるpチャネルMOSトランジスタ70hを含む。内部電源電圧Vintは、センス電源回路から出力されるセンス電源電圧Vccsまたは周辺電源回路から出力される周辺電源電圧Vccpである。次に、この図44に示す電源レベル判定回路70の動作を、図45に示す信号波形図を参照して説明する。

【0258】時刻t0において電源投入が行なわれ、外部電源電圧Vextの電圧レベルが上昇する。電源投入時、電源投入検出信号ZPORがLレベルであり、pチャネルMOSトランジスタ70hがオン状態となり、ノードA6の電圧レベルが外部電源電圧Vextの電圧レベルとともに上昇する。また、ノードA5の電圧レベルは、CMOSインバータ70bの入力論理しきい値よりも低く、CMOSインバータ70bの出力信号も外部電源電圧Vextの電圧レベルに従って上昇する。一方、CMOSインバータ70dは、ノードA6の電圧レベルが外部電源電圧Vextの電圧レベルに応じて上昇するため、内部のpチャネルMOSトランジスタがオフ状態を維持し、その出力信号は接地電圧レベルのLレベルとなる。したがって、CMOSトランスミッションゲート70aがオン状態となり、内部電源電圧VintがノードA5へ伝達される。ノードA5には、容量素子70aが接続されており、この内部電源電圧Vintに従って充電され、ノードA5の電圧レベルが緩やかに上昇する。

【0259】内部電源電圧Vintは、既に説明しているように、外部電源電圧Vextから生成される基準電圧Vrefとの比較に基づいて外部電源電圧Vextから生成される。したがって、電源投入後、この内部電源電圧Vintは、外部電源電圧Vextの電圧レベルに従って基準電圧Vrefの電圧レベルが上昇するため、その電圧レベルも応じて上昇する。

【0260】比較ラッチ回路70fにおいては、ノード

A6の電圧レベルがノードA5の電圧レベルよりも高いため、pチャネルMOSトランジスタQ71のコンダクタンスがpチャネルMOSトランジスタQ70のコンダクタンスよりも大きく、交差結合されたnチャネルMOSトランジスタQ72およびQ73により、ノードA8が接地電圧レベルに保持され、一方、ノードA7が、pチャネルMOSトランジスタQ71からの充電電流により外部電源電圧Vextの電圧レベルの上昇に応じてその電圧レベルが上昇する。したがって、電源投入直後、ノードA7の電圧レベルがCMOSインバータ70dの入力論理しきい値よりも低い時には、強制活性化信号ZPUPは、少し電圧レベルがCMOSインバータ70gにより、一旦上昇するが、すぐに放電され、強制活性化信号ZPUPはLレベルを維持する。

【0261】外部電源電圧Vextが所定の電圧レベルに到達するかまたは所定電圧レベルに到達しかつ安定化すると、時刻t1において電源投入検出信号ZPORがHレベルに立上がり、pチャネルMOSトランジスタ70hがオフ状態となる。この時刻t1においては、外部電源電圧Vextは、所定電圧レベルで安定化しており、ノードA6の電圧レベルも外部電源電圧Vextの電圧レベルで安定化する。この状態においても、CMOSトランスミッションゲート70aはオン状態にあり、ノードA5は、内部電源電圧Vintの電圧レベルの上昇に応じてその電圧レベルが上昇する。比較ラッチ回路70fにおいては、pチャネルMOSトランジスタQ70がオフ状態にあり（ソースおよびゲートの電圧が同じレベルである）、ノードA7がHレベルを維持する。

【0262】内部電源電圧Vintの電圧レベルの上昇に従って、容量素子70aが充電され、ノードA5の電圧レベルが上昇する。このノードA5の電圧レベルが時刻t2においてCMOSインバータ70bの入力論理しきい値よりも高くなると、CMOSインバータ70bの出力信号がLレベルに変化する。これにより、ノードA6が接地電圧レベルへ放電され、pチャネルMOSトランジスタ70cがオン状態となり、ノードA5が外部電源ノードPSに結合され、その電圧レベルが外部電源電圧Vextの電圧レベルに上昇する。このノードA6の電圧レベルの低下にตอบสนองして、CMOSインバータ70dの出力信号がHレベルとなり、CMOSトランスミッションゲート70eがオフ状態となり、ノードA5の外部電源電圧Vextが内部電源電圧Vintを供給するノードへ伝達されるのを防止する。

【0263】ノードA6の電圧レベルの低下にตอบสนองして、比較ラッチ回路70fにおいては、pチャネルMOSトランジスタQ70がオン状態となり、一方、pチャネルMOSトランジスタQ71がオフ状態となり、ノードA8がpチャネルMOSトランジスタQ70により充電されて、その電圧レベルが上昇し、一方、ノードA3がMOSトランジスタQ73を介して放電されてその電

圧レベルが低下する。ノードA7およびA8の放電および充電は、交差結合されたnチャネルMOSトランジスタQ72およびQ73で構成される増幅回路により高速で行なわれる。ノードA7の電圧レベルの低下にตอบสนองして、CMOSインバータ70gからの強制活性化信号ZPUPがHレベルに立上がる。これにより、降圧回路3が降圧動作を停止する。

【0264】図44に示す電源レベル判定回路70の構成においては、ノードA5の電圧レベルがCMOSインバータ70bの入力論理しきい値よりも高くなると強制活性化信号ZPUPが非活性化される。CMOSインバータ70bの入力論理しきい値は、外部電源ノードPSに与えられる外部電源電圧Vextとその内部に含まれるMOSトランジスタの $\beta$ の比とにより与えられる。電源投入後最も早く安定化する外部電源電圧Vextを用いて内部電源電圧Vintの判定基準電圧レベルを設定し、そのCMOSインバータ70bの入力論理しきい値を判定基準として、内部電源電圧Vintが所定の電圧レベルに到達したか否かを正確に判定することができる。これは、CMOSインバータ70bの入力論理しきい値は、外部電源電圧Vextが一定状態に保持されたときには、一定値を保持するためである。ここで、 $\beta$ は、MOSトランジスタのチャネル幅とチャネル長の比である。

【0265】時刻t0から時刻t2までの間の時間は、CMOSインバータ70bの入力論理しきい値を調整することにより適当な値に設定される。また、これに代えて、CMOSトランスマッションゲート70eと容量素子70aとの間に、抵抗素子を挿入し、ノードA5の電圧レベルの上昇速度を内部電源電圧Vintの電圧レベルの上昇速度と異ならせることにより、強制活性化信号ZPUPの活性時間を調整する構成が用いられてもよい。

【0266】このCMOSインバータ70bの安定化時における入力論理しきい値を、内部電源電圧Vint (VccpまたはVccs)の電圧レベルを規定する基準電圧Vref (Vrefp, Vrefs)の電圧レベルに設定すれば、内部電源線と外部電源ノードとを直接結合することなく、内部電源電圧Vintが所定の基準電圧レベルに到達したときに、降圧回路3の動作を停止させることができる。この場合、また、内部電源電圧Vintは、基準電圧Vrefよりも低い電圧レベルであってもよい。これは、以下の理由による。

【0267】図46は、内部電源回路の要部の構成を概略的に示す図である。図46において、内部電源回路1は、ゲート回路62からの制御信号にตอบสนองして選択的に活性/非活性化されて降圧動作を行なう降圧回路3と、常時動作し、基準電圧Vrefに応じた内部電源電圧Vintを生成するスタンバイ降圧回路3aを含む。スタンバイ降圧回路3aおよび降圧回路3の出力ノードは共

通に結合される。スタンバイ降圧回路3aは、スタンバイ状態時における内部電源線のリーク電流を保証するために設けられており、その駆動電流量は十分小さくされている。一方、降圧回路3は、内部回路(周辺回路および/またはセンサンプ回路)動作時における消費電流を補償するために大きな電流駆動力を有している。したがって、降圧回路3が電源投入時駆動されて、内部電源電圧Vintの電圧レベルを上昇させ、その後、スタンバイ降圧回路3aのみに従って内部電源電圧Vintの電圧レベルを所定電圧レベルまで到達させることにより、スタンバイ降圧回路3aのみを用いて電源投入後内部電源電圧Vintを所定電圧レベル(基準電圧Vrefの規定するレベル)まで駆動する構成に比べて大幅に内部電源電圧Vintが安定化するまでに要する時間を短縮することができる。したがって、この強制活性化信号ZPUPが非活性化されるタイミングが、内部電源電圧Vintが基準電圧Vrefよりも低い電圧レベルのときに設定されても何ら問題はない。

【0268】また、スタンバイ降圧回路3aの構成は、単に活性制御信号に代えて、バイアス電圧が電流源トランジスタのゲートへ与えられるだけであり、それを除いてこれまでに説明した降圧回路と同じ構成を備える。単に電流駆動力が小さくされているだけである。

【0269】以上のように、この発明の実施の形態6に従えば、電源投入時、内部電源電圧と外部電源電圧との関係に基づいて降圧回路を強制的に活性状態へ駆動しているため、内部電源電圧が降圧回路を通して生成され、内部電源線と外部電源ノードとが結合されるのを防止することができ、内部電源線に外部電源電圧が直接印加されて電源投入時のノイズなどに起因する高電圧が内部回路に印加され、素子破壊が生じるのを防止することができる。

【0270】[他の適用例] 上述の説明においては、各実施の形態1から6が説明されているが、これらは、図1に示す電源レベル制御回路において、適当に組合せて用いられてもよい。また、個々に用いられてもよい。

【0271】また、半導体記憶装置としては、ダイナミック・ランダム・アクセス・メモリが述べられている。しかしながら、このダイナミック・ランダム・アクセス・メモリとしては、標準DRAMおよびクロック信号に同期してデータの入出力を行う同期型半導体記憶装置のいずれであってもよい。

【0272】

【発明の効果】以上のように、この発明に従えば、低消費電流かつ低占有面積で、安定に所望のレベルの内部電源電圧を生成して、内部回路を安定に動作させることができる。

【0273】すなわち、請求項1に係る発明に従えば、内部電源電圧線に結合される容量素子の容量値を調整するための手段を設けているため、最小占有面積で、安定

に内部電源電圧を所定の電圧レベルに保持することができる、チップ占有面積を低減することができる。

【0274】請求項2に係る発明に従えば、この内部電源回路を、互いに異なる基準電圧を切換えて、それらの基準電圧に応じて内部電源電圧を生成するように構成しているため、この容量素子の充電電圧を、高い電圧レベルに設定することができ、内部回路動作時における内部電源電圧の低下を抑制し、内部回路を安定に動作させることができる。

【0275】請求項3に係る発明に従えば、特定動作モード時において、この第1の基準電圧を外部から設定可能にするように構成しているため、第1の基準電圧の最適値を決定することができる。

【0276】請求項4に係る発明に従えば、内部回路が、メモリセルデータを検知し増幅する複数のセンスアンプを含んでおり、センス動作時における電荷を容量素子から供給することができ、センス電源電圧の低下を抑制することができ、安定かつ高速にセンス動作を行なうことができる。

【0277】請求項5に係る発明に従えば、データ出力回路のレベル変換回路へ内部電源電圧を供給しているため、データ出力時におけるレベル変換回路の動作時における電圧低下を抑制することができ、安定かつ高速にデータを出力することができる。

【0278】請求項6に係る発明に従えば、第1の温度領域で負または0の温度特性を有し、かつこれより高温側の第2の温度領域で正の温度特性を有する基準電圧を生成し、この基準電圧に基づいて内部電源電圧を生成しているため、広い動作範囲にわたって内部回路を安定かつ高速に動作させることができる。

【0279】請求項7に係る発明に従えば、基準電圧を、同一材料で形成される第1および第2の抵抗素子の抵抗比に比例する第1の電圧と、互いに異なる材料で形成される第3および第4の抵抗素子の抵抗比に比例する第2の電圧を生成し、これらの高い方の電圧を選択して基準電圧として生成しているために、容易に、負または0および正の温度特性を有する基準電圧を生成することができる。

【0280】請求項8に係る発明に従えば、MOSTランジスタの電流駆動力の差を抵抗素子で増幅しその電流を第2の抵抗素子で電圧に変換して第1の電圧を生成し、同一構成で第3および第4の抵抗素子で第2の電圧を生成しており、所望の温度特性を有しかつ外部電源電圧に依存しない電圧を生成することができる。

【0281】請求項9に係る発明に従えば、第4の抵抗素子として、ダイオード接続されたMOSTランジスタを用いているため、その温度特性により、容易に所望の負の温度特性を有する電圧を生成することができる。

【0282】請求項10に係る発明に従えば、第3の抵抗素子を高融点金属シリサイド、第4の抵抗を高濃度不

純物拡散抵抗で形成している。ので、ほぼ温度特性（温度係数が0の電圧を生成することができる。

【0283】請求項11に係る発明に従えば、第1および第2の電圧のうちの高電圧の電圧を選択する手段として、ソース結合論理を用いるため、容易にかつ正確に、第1および第2の電圧のうちの高い方の電圧に応じた基準電圧を生成することができる。

【0284】請求項12に係る発明に従えば、基準電圧および内部電源電圧をともにレベル変換し、これらのレベル変換された電圧を比較して外部電源ノードから内部電源線へ電流を供給するように構成しているため、比較回路を最適領域で動作させることができ、高速応答する内部電源回路を実現することができる。

【0285】請求項13に係る発明に従えば、レベル変換電圧を受ける比較段を構成するMOSTランジスタ対をそれぞれ接地ノードに結合しているため、比較回路の出力信号の最低到達電位を接地電圧レベルにすることができ、外部電源電圧低下時においても、電流ドライブトランジスタの電流駆動能力の低下を抑制することができ、外部電源電圧の広い範囲にわたって高速に応答する内部電源回路を実現することができる。また、電流ドライブトランジスタの占有面積を増大する必要がなく、回路占有面積の増大を抑制することができる。

【0286】請求項14に係る発明に従えば、レベル変換回路を、基準電圧および内部電源電圧を受けるMOSTランジスタと、これらのMOSTランジスタとカレントミラー回路を構成する同一導電型のMOSTランジスタで構成しているため、電流駆動型のレベル変換を行なって、高速でレベル変換された電圧を生成することができ、応答特性に優れたレベル変換回路を実現することができる。

【0287】請求項15に係る発明に従えば、直列接続されるMOSTランジスタのゲートを、それぞれ1つMOSTランジスタをおいた接続ノードに接続するように構成しているため、各MOSTランジスタをほぼ同じ動作領域で動作させることができ、被分圧電圧が低い場合においても、安定に動作して、所望の整数比の分圧電圧を生成することができる。

【0288】請求項16に係る発明に従えば、直列接続されるMOSTランジスタのうち隣接する2つのMOSTランジスタのバックゲートを共通にこれらの2つのMOSTランジスタの高電位側の接続ノードに接続するように構成しているため、これらの隣接する2つのMOSTランジスタのバックゲート効果を同じとすることができ、同じ動作領域で動作させることができ、一定の分圧比の分圧電圧を得ることができる。

【0289】請求項17に係る発明に従えば、1つの基準電圧発生回路からセンスアンプ用の基準電圧および周辺回路用の基準電圧を生成しているため、基準電圧発生回路占有面積を低減することができる。

【0290】請求項18に係る発明に従えば、この基準電圧発生のための抵抗回路として、直列接続されたMOSトランジスタを用いかつこれらのMOSトランジスタの各ゲートを、1つおいたMOSトランジスタの接続ノードに接続しているため、外部電源電圧が動作下限領域近傍の値にあっても、安定に所望のレベルの基準電圧を生成することができる。

【0291】請求項19に係る発明に従えば、動作モード指示信号を1つの経路を形成する遅延チェーンを通して複数の信号を生成し、これらの複数の信号をデコードすることにより、動作制御信号を生成して電源降圧回路の動作を制御するように構成しているため、各制御信号に対応して遅延回路を設ける必要がなく、回路素子数を低減することができ、回路占有面積および回路動作時の消費電流を低減することができる。

【0292】請求項20に係る発明に従えば、デコード回路を、内部降圧回路活性化信号と、この活性化された降圧回路の動作電流を所定期間増加させる第2の活性化信号とを生成するように構成しているため、内部回路動作時においてこの降圧回路の動作電流を大きくして、応答速度を大きくすることができ、安定に所望のレベルの内部電源電圧を生成することができる。

【0293】請求項21に係る発明に従えば、デコード回路が、動作モード指示信号の活性化および非活性化それぞれに応じて第2の活性化信号を活性化しており、内部回路動作時および内部ブリチャージ動作時における消費電流による内部電源電圧の低下を抑制することができる。

【0294】請求項22に係る発明に従えば、降圧動作活性化信号および動作電流増大用活性化信号とともに同じ内部降圧回路へ与えているため、たとえば基準電圧切換により、センス電源電圧をオーバドライブする回路を容易に得ることができる。

【0295】また、このセンス電源電圧オーバドライブ時においても、応答速度が高速化されており、正確にセンス電源電圧をオーバドライブ電圧レベルにまで駆動することができる。

【0296】請求項23に係る発明に従えば、降圧動作活性化信号および動作電流増大用活性化信号がそれぞれ別の降圧回路へ与えられており、各内部回路に利用される内部電源電圧の特性に応じて、最適な条件で内部降圧回路を動作させることができる。

【0297】請求項24に係る発明に従えば、電流ドライバトランジスタのコンダクタンスを調整する比較回路を、この電流ドライバトランジスタからの供給電流によりその電圧レベルが設定される内部電源電圧のレベルに応じて活性化するように構成しているため、電源投入時において、外部電源ノードを直接内部電源線に結合する必要がなく、内部電源線に不必要な高電圧が印加されるのを防止することができる。

【0298】請求項25に係る発明に従えば、内部電源電圧と基準電圧との差に従って比較回路を活性化しているため、正確に比較回路を活性化することができる。

【0299】請求項26に係る発明に従えば、活性化手段は、対応の内部電源電圧生成のための基準電圧と別の基準電圧と内部電源電圧との差に従って比較回路を活性化しているため、所望の電圧レベルに到達するまで、比較回路を活性化することができる。

【0300】請求項27に係る発明に従えば、内部電源電圧と外部電源電圧との差に応じて比較回路を活性化しており、内部電源電圧が所定電圧レベルに到達するまで、比較回路を活性化することができる。

【0301】請求項28に係る発明に従えば、この内部電源電圧と外部電源電圧との差に応じて比較回路を非活性化するように構成してため、正確に、内部電源電圧が所定電圧レベルに到達した時点で、比較回路の活性化動作を停止させることができる。

【図面の簡単な説明】

【図1】 この発明が適用される半導体記憶装置の全体の構成を概略的に示す図である。

【図2】 この発明の実施の形態1における半導体記憶装置の要部の構成を示す図である。

【図3】 図2に示す基準電圧の温度特性を示す図である。

【図4】 (A)は、この発明の実施の形態1の変更例の構成を示し、(B)は、(A)に示す抵抗素子を用いたときの基準電圧の温度依存性を示す図である。

【図5】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。

【図6】 図5に示す基準電圧発生回路の構成の一例を示す図である。

【図7】 図6に示す基準電圧発生回路からの基準電圧の外部電圧依存性を示す図である。

【図8】 図6に示す定電流源の構成の一例を示す図である。

【図9】 図5に示す基準電圧発生回路の変更例の構成を示す図である。

【図10】 この発明の実施の形態2に従って構成される分圧回路の構成を示す図である。

【図11】 図10に示す分圧回路の出力電圧と入力電圧の関係を示す図である。

【図12】 この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図13】 図12に示すセンスアンプ回路の構成の一例を示す図である。

【図14】 図12に示す回路の動作を示す信号波形図である。

【図15】 この発明の実施の形態3に従う半導体記憶装置のより詳細な構成を示す図である。

【図16】 図15に示す周辺基準電圧発生回路の構成

の一例を示す図である。

【図17】 この発明の実施の形態3の変更例の構成を概略的に示す図である。

【図18】 図15および図17に示す安定化容量の構成をより具体的に示す図である。

【図19】 図18に示すヒューズプログラム回路の構成を示す図である。

【図20】 図15および図17に示す安定化容量の他の構成を示す図である。

【図21】 この発明の実施の形態3の変更例を概略的に示す図である。

【図22】 この発明の実施の形態3の他の用途への適用例を示す図である。

【図23】 この発明の実施の形態3の他の用途への適用例を示す図である。

【図24】 この発明の実施の形態4に従う半導体記憶装置の要部の構成を示す図である。

【図25】 (A)は、図24に示す比較回路の動作を示す信号波形図であり、(B)は、図24に示す電流ドライバトランジスタの駆動電流能力を示す図である。

【図26】 この発明の実施の形態4の変更例の構成を概略的に示す図である。

【図27】 図26に示すレベル変換回路の動作を示す信号波形図である。

【図28】 この発明の実施の形態4の変更例2の構成を概略的に示す図である。

【図29】 この発明の実施の形態5に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図30】 図29に示す遅延チェーンおよびデコード回路の構成を示す図である。

【図31】 図29に示すセンス降圧回路の構成を概略的に示す図である。

【図32】 図30に示す回路の動作を示す信号波形図である。

【図33】 図29に示す切換信号発生部の構成の一例を示す図である。

【図34】 この発明の実施の形態5の変更例の構成を概略的に示す図である。

【図35】 この発明の実施の形態5の変更例2の構成を概略的に示す図である。

【図36】 図35に示す回路の動作を示す信号波形図である。

【図37】 図35に示す遅延チェーンおよびデコード回路の構成を概略的に示す図である。

【図38】 この発明の実施の形態6に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図39】 図38に示す電源レベル判定回路の構成を示す図である。

【図40】 図39に示す電源レベル判定回路の動作を示す信号波形図である。

【図41】 図39に示す電源レベル判定回路の変更例を示す図である。

【図42】 この発明の実施の形態6の変更例2の構成を概略的に示す図である。

【図43】 この発明の実施の形態6の変更例3の構成を概略的に示す図である。

【図44】 図43に示す電源レベル判定回路の構成を示す図である。

【図45】 図44に示す電源レベル判定回路の動作を示す信号波形図である。

【図46】 この発明の実施の形態6の内部電源回路の構成を概略的に示す図である。

【図47】 従来の半導体記憶装置の全体の構成を概略的に示す図である。

【図48】 図47に示す内部電源回路の構成を概略的に示す図である。

【図49】 図48に示す降圧回路の構成を概略的に示す図である。

【図50】 図49に示す降圧回路の出力電圧と外部電源電圧および基準電圧の関係を示す図である。

【図51】 図49に示す降圧回路の動作を示す信号波形図である。

【図52】 図48に示す基準電圧発生回路からの基準電圧の温度特性を概略的に示す図である。

【図53】 図48に示す降圧回路の具体的構成を示す図である。

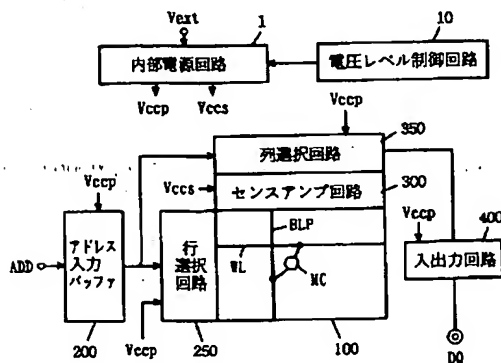
#### 【符号の説明】

- 1 内部電源回路、10 電圧レベル制御回路、100 メモリセルアレイ、300 センスアンプ回路、2
- 30 基準電圧発生回路、2a 第1の電圧発生回路、2b 第2の電圧発生回路、2c OR回路、3 降圧回路、3p 周辺降圧回路、3s センス降圧回路、R10～R14 抵抗素子、CCS 定電流源、Q25～Q29、Q30～Q34 MOSTランジスタ、SQ0、SQ1 スイッチングトランジスタ、2s センス基準電圧発生回路、2p 周辺基準電圧発生回路、4 切換回路、5 センス電源線、7 安定化容量、SA センスアンプ、9 トランスファゲート、11 テストモード検出回路、13 パッド(外部ピン端子)、14 モニタパッド、15 トランスファゲート、FP、FP0～FPn ヒューズプログラム回路、XT0～XTn トランスファゲート、C0～Cn キャパシタ、OB0～OBn 出力バッファ、30a Vpp1発生回路、30b Vpp2発生回路、30c 切換回路、30e 安定化容量、Cd 安定化容量、PDA、PDB パッド、3c 比較器、3d 電流ドライバトランジスタ、35 ローカルレベル変換回路、37 内部電源線、Q51～Q54 nチャネルMOSTランジスタ、505a 比較器、505b 電流ドライバトランジスタ、505d 内部電源線、50 遅延チェーン、DSW0～

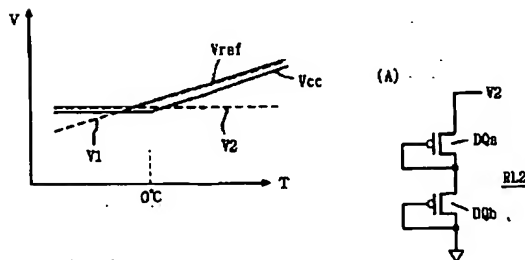
73

DSW2 遅延切換スイッチ、SSW0、SSW1 出力選択スイッチ、IV0~IV3 インバータ、NG1~NG5 NAND回路、3sa 比較器、3sb 電流ドライバトランジスタ、3sc、3sd 電流源トランジスタ、50a~50c 遅延段、52a、52c OR回路、52b、52d、52g インバータ、52e AND回路、52f、52h NAND回路、60

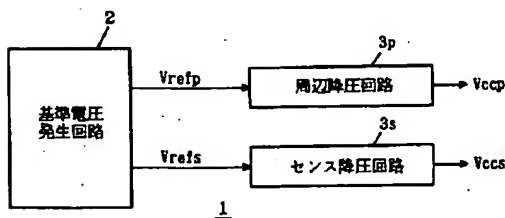
【図1】



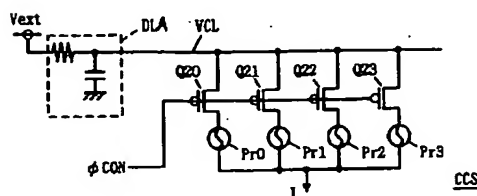
【図3】



【図5】



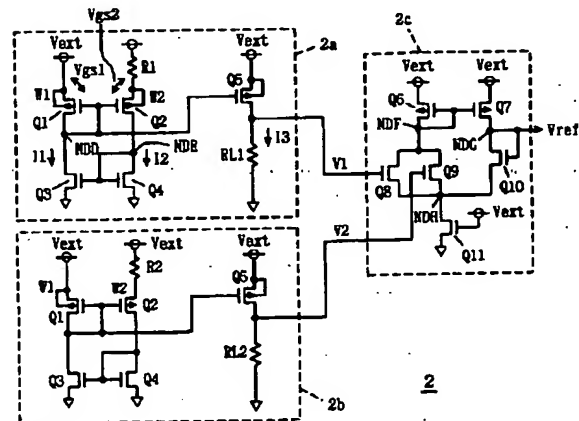
【図8】



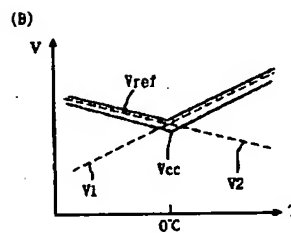
74

電源レベル判定回路、60a、60e CMOSインバータ、60b、60d、MOSTランジスタ、60c CMOSインバータラッチ、60f 遅延回路、62 ゲート回路、70 電源レベル判定回路、70a 容量素子、70b、70d、70g CMOSインバータ、70c、70h MOSTランジスタ、70e トランスファゲート、70f 比較ラッチ回路。

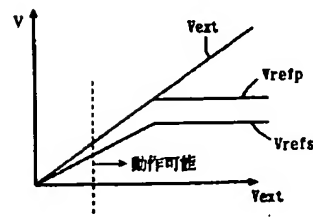
【図2】



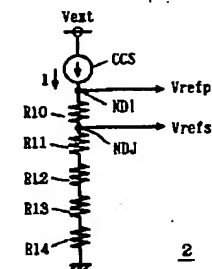
【図4】



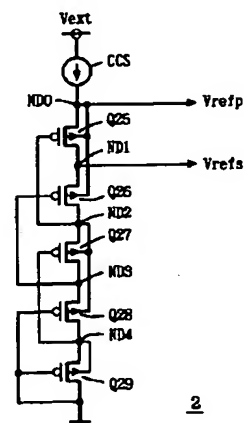
【図7】



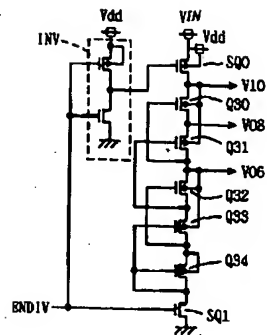
【図6】



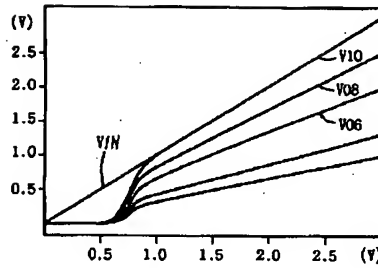
【図9】



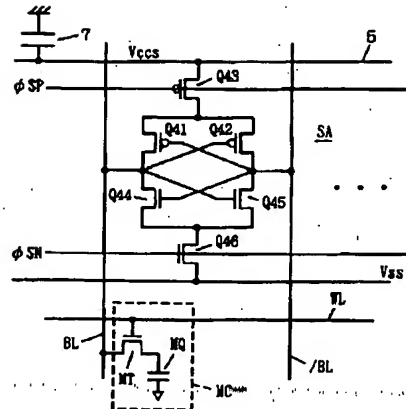
【図10】



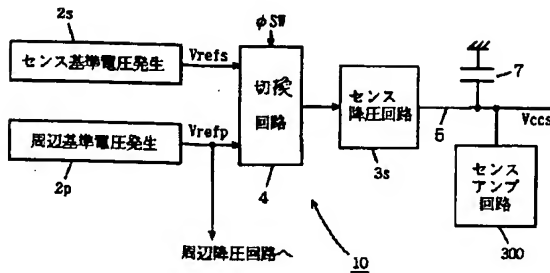
【図11】



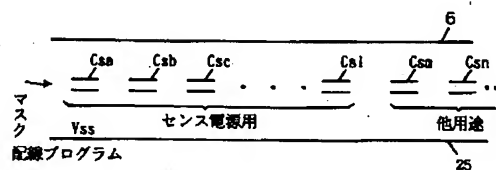
【図13】



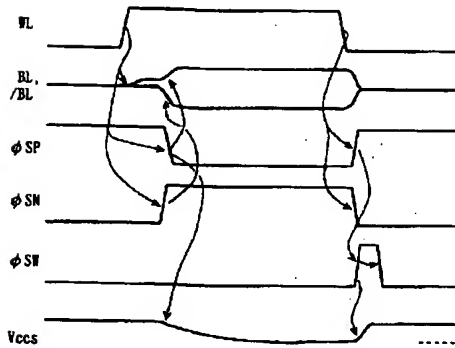
【図12】



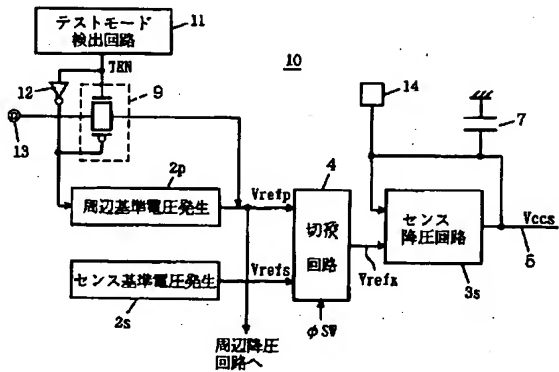
【図20】



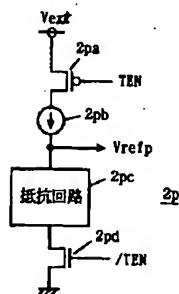
【図14】



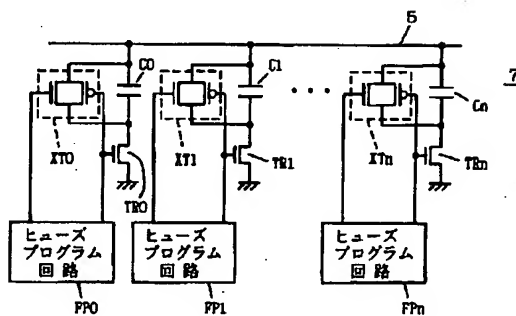
【図15】



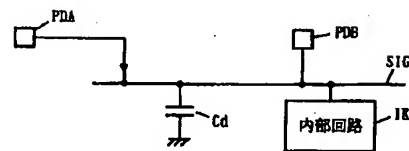
【図16】



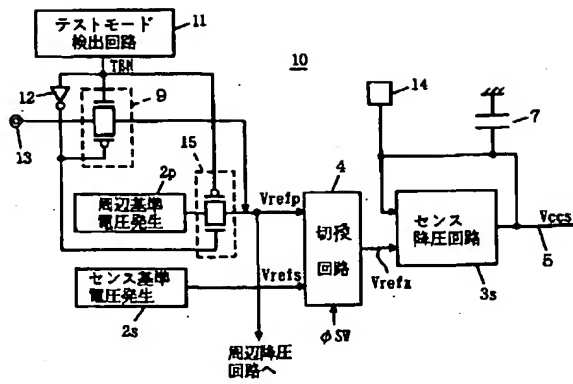
【図18】



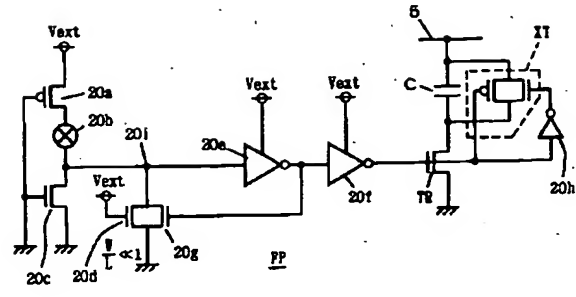
【図22】



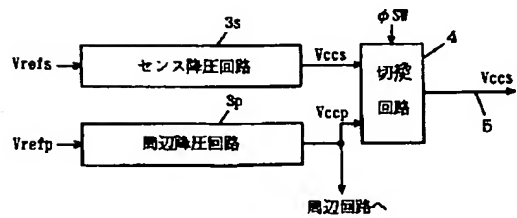
【図17】



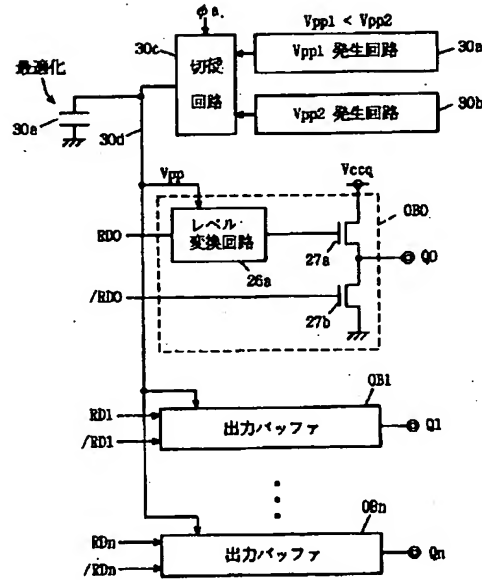
【図19】



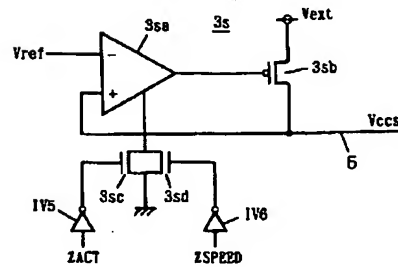
【図21】



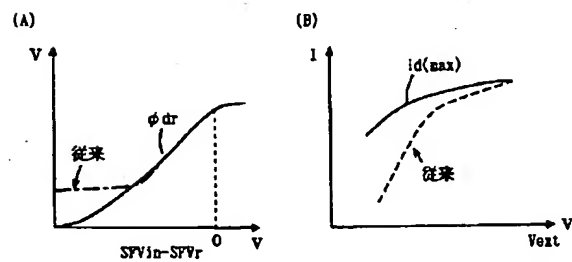
【図23】



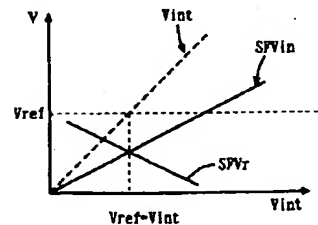
【図31】



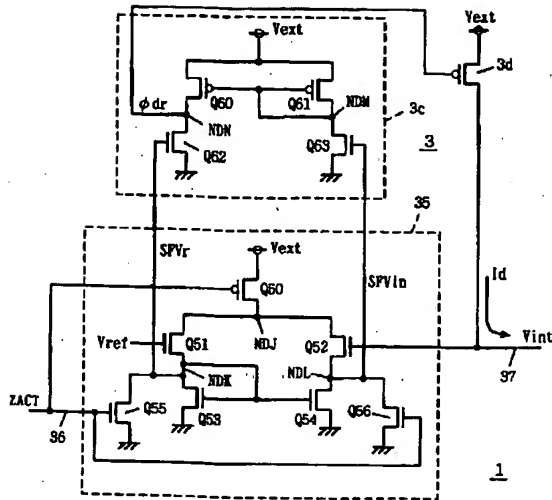
【図25】



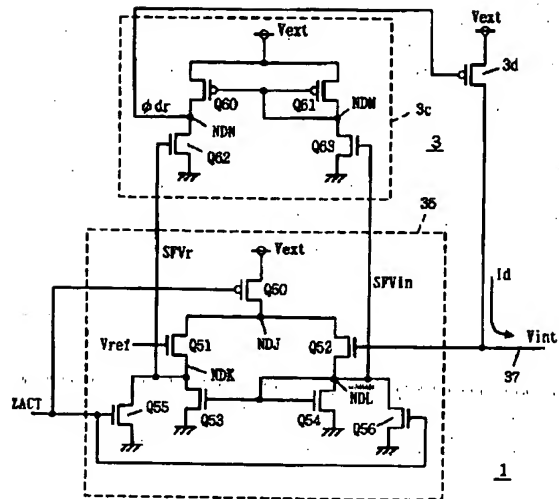
【図27】



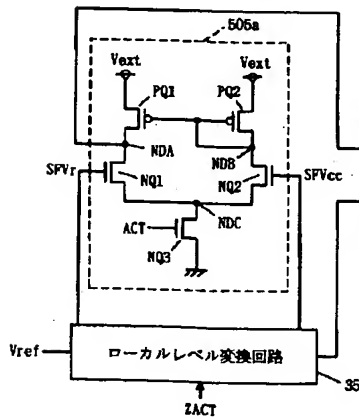
【図24】



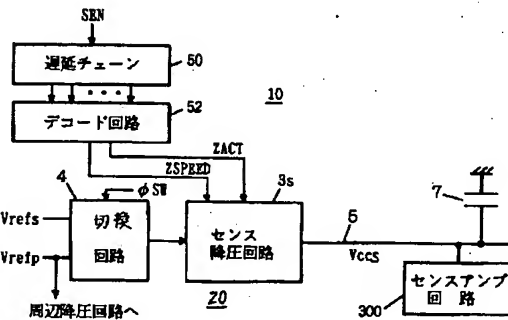
【図26】



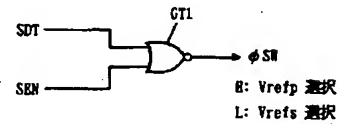
【図28】



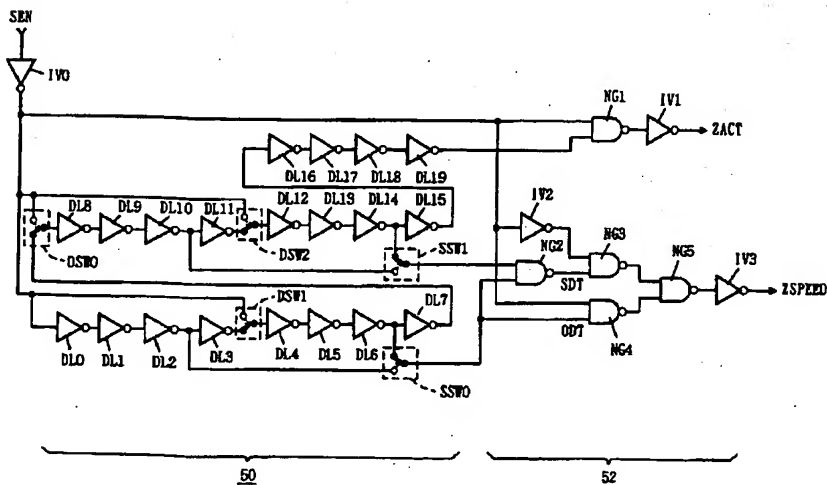
【図29】



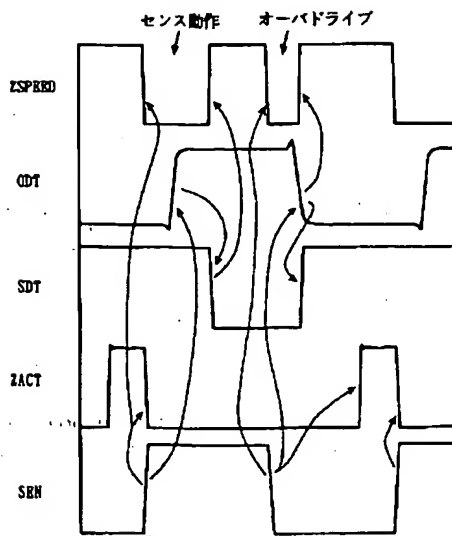
【図33】



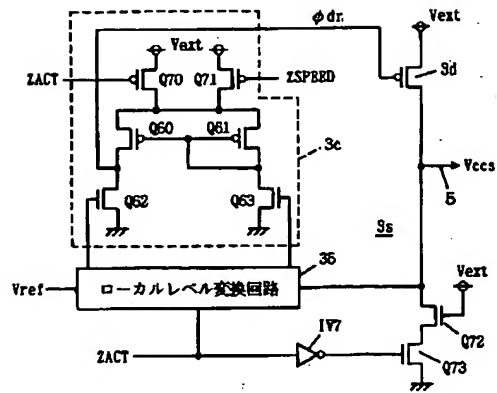
【図30】



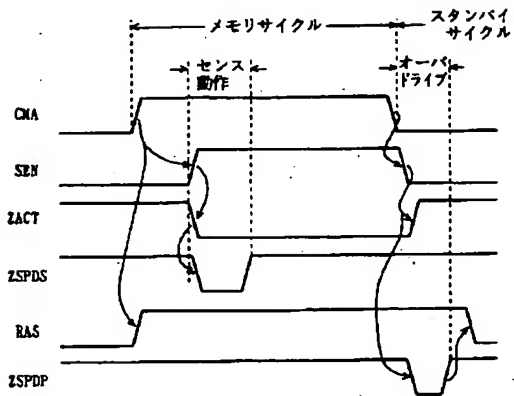
【図32】



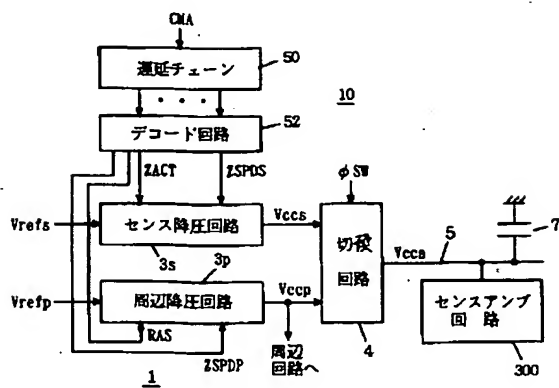
【図34】



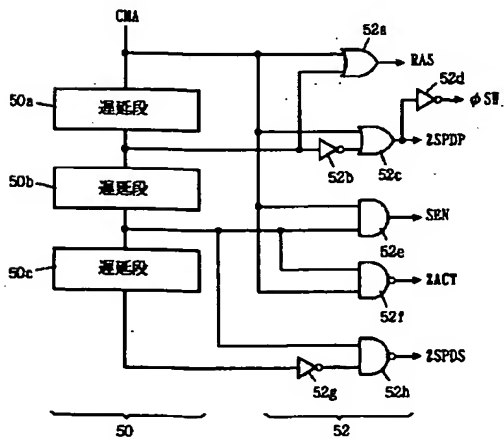
【図36】



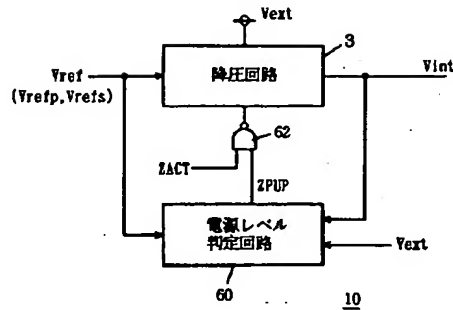
【図35】



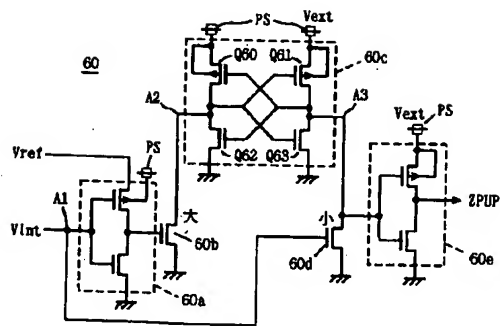
【図37】



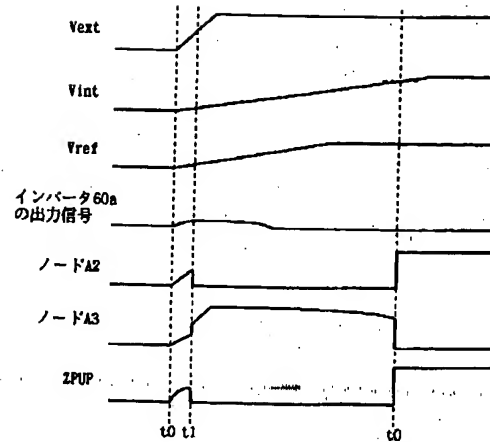
【図38】



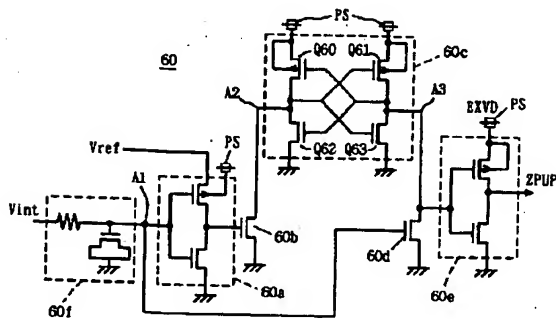
【図39】



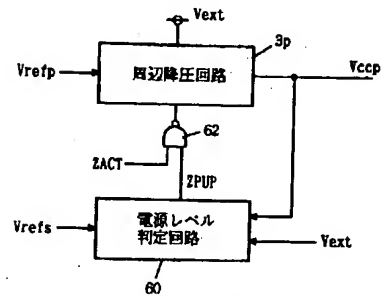
【図40】



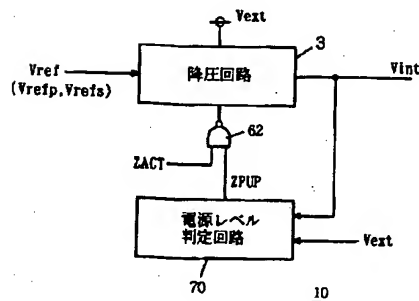
【図41】



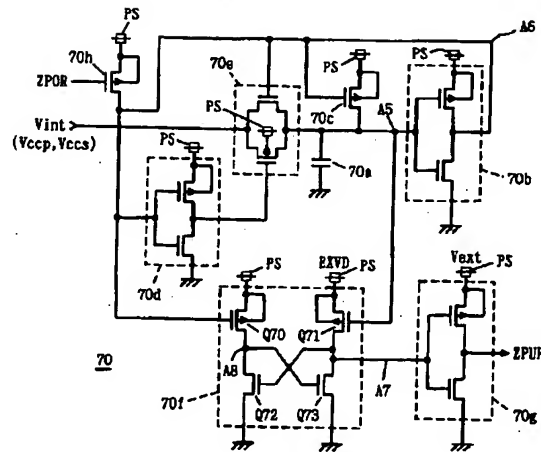
【図42】



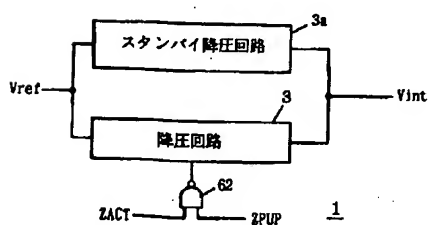
【図43】



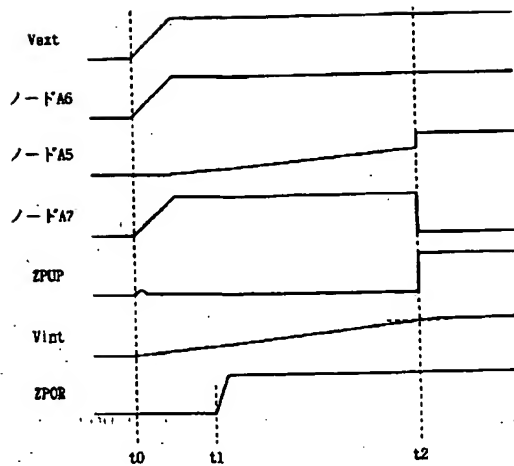
【図44】



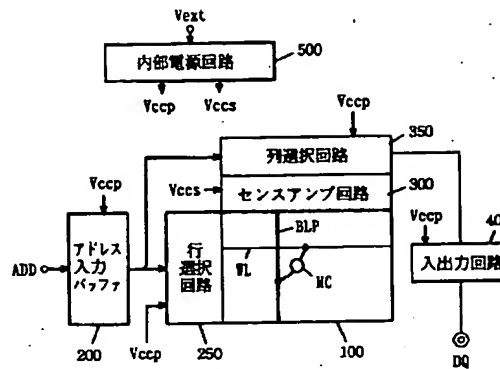
【図46】



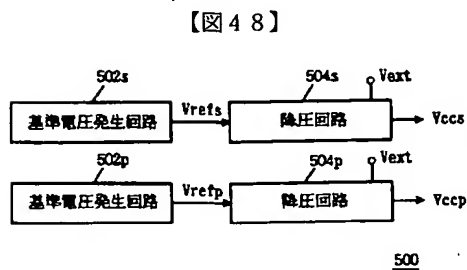
【図45】



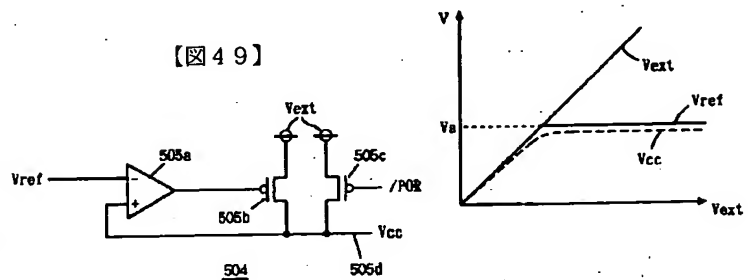
【図47】



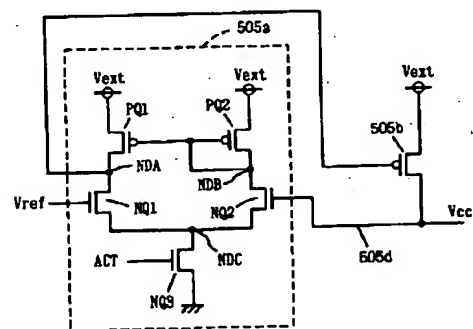
【図50】



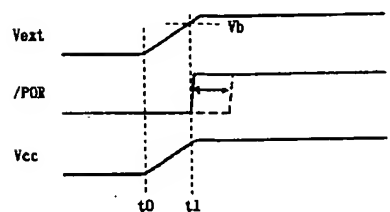
【図49】



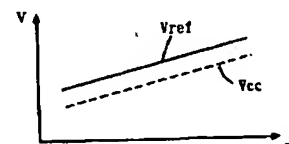
【図53】



【図51】



【図52】



フロントページの続き

(51)Int. Cl. 7

G 1 1 C 11/409

識別記号

F I

G 1 1 C 11/34

テーマコード(参考)

3 5 3 E

(72)発明者 河野 隆司

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

F ターム(参考) 5B015 AA01 AA04 AA08 BA41 BA51  
BA62 CA03 CA04 DA01 FA10  
5B024 AA01 AA04 AA07 BA09 BA23  
BA27 CA07 CA11 CA21 EA04  
5H420 NA31 NB02 NB31 NB37 NC02  
NC35 NE23 NE26